

UNIVERSITÉ DE SHERBROOKE
Faculté de génie
Département de génie électrique et de génie informatique

Conception d'un circuit de lecture d'une
matrice de photodiodes à avalanche
monophotonique pour les détecteurs de
physique des particules dans les gaz nobles
liquéfiés

Mémoire de maîtrise
Spécialité : génie électrique

Tommy Rossignol

Sherbrooke (Québec) Canada

Août 2020

MEMBRES DU JURY

Jean-François PRATTE

Directeur

Réjean FONTAINE

Évaluateur

Serge CHARLEBOIS

Évaluateur

RÉSUMÉ

Les détecteurs aux gaz nobles liquéfiés prennent une plus grande part dans les expériences de physique des particules. Le photomultiplicateur en silicium (*SiPM*) devient le photodétecteur d'excellence pour détecter la lumière de scintillation dans les liquides cryogéniques. Pour répondre aux questions de la physique moderne, des expériences comme le *next Enriched Xenon Observatory (nEXO)* étudient les neutrinos en tentant d'observer la double désintégration bêta sans neutrinos. D'autres collaborations focalisent leurs travaux sur la matière noire en examinant diverses signatures dans l'argon. La réalisation de ces détecteurs présente plusieurs défis de conception. Par exemple, la radioactivité des matériaux utilisés doit être contrôlée pour limiter les scintillations parasites. De plus, leur grande surface requiert une électronique d'instrumentation in situ. Mais, l'utilisation des *SiPM* et de leur circuit de lecture dans les liquides nobles limite la puissance permise pour en éviter l'ébullition. Malgré leurs atouts, ces *SiPM* nécessitent, pour fonctionner, une chaîne de lecture composée d'un préamplificateur suivi de filtrage et d'un convertisseur analogique-numérique. Ces circuits peuvent s'avérer énergivores et plusieurs compromis en diminuent, par exemple, les performances temporelles ou le rapport signal sur bruit.

En tirant avantage de la nature binaire des photodiodes à avalanche monophotoniques (*SPAD*) qui composent les *SiPM*, ces travaux présentent un nouveau circuit numérique de lecture d'une matrice de *SPAD* à faible consommation. Il est dédié à instrumenter des expériences de physique des particules à grande surface dans les gaz nobles liquéfiés. Un nouveau procédé de *SPAD*, actuellement en développement, sera collé sur cette électronique grâce à un assemblage vertical en trois dimensions (3D).

La puce interface 4096 *SPAD* répartis dans une superficie de 25 mm^2 . La surface totale de la puce mesure 31 mm^2 , ce qui résulte en un facteur de remplissage de plus de 80 %. Des *SPAD* intégrés en deux dimensions à même le circuit intégré permettent de le tester sans attendre le développement des *SPAD* sur mesure et de l'assemblage en trois dimensions. Trois sorties fournissent des informations complémentaires. D'abord, une sortie d'interruption (*flag*) avec une résolution temporelle inférieure à 90 ps *RMS* indique la présence de photons. Puis, une somme numérique donne la quantité détectée. Elle peut opérer jusqu'à 100 MHz. Enfin, une somme analogique en courant vient valider les deux premières sorties. Cette puce asynchrone peut fonctionner avec une horloge intermittente. Dans le contexte de l'expérience *nEXO*, en tenant compte du taux d'événements, sa consommation de puissance moyenne atteint 140 μW .

Suite aux étapes de caractérisation, la première révision de ce photodétecteur novateur répond aux différentes exigences. De légères imperfections persistent, mais une prochaine révision permettra de facilement corriger ces dernières. Ce convertisseur photon-numérique proposera donc une alternative prometteuse aux *SiPM* analogiques.

Mots-clés : Physique des particules, Double désintégration bêta sans neutrinos, Matière noire, Diode à avalanche monophotonique (*SPAD*), Photomultiplicateur numérique en silicium, Convertisseur photon-numérique, Circuit intégré, *CMOS*.

À quelqu'un quelque part qui cherchera comment faire quelque chose quand le moment sera venu.

REMERCIEMENTS

Le succès de ce projet passe par le travail d'équipe effectué tout au long des dernières années. Je voudrais d'abord remercier mon directeur de recherche, le professeur Jean-François Pratte, de m'avoir donné la chance d'étudier dans un groupe de recherche aussi stimulant et de m'avoir fait confiance tout au long de ma maîtrise. Merci au professeur Serge Charlebois pour son intérêt porté aux diverses facettes du projet et pour ses analyses réfléchies.

J'adresse également des remerciements à mes collègues et plus particulièrement à Nicolas Roy. Avec ton sourire et ton positivisme, j'ai apprécié nos longues discussions. Merci à Frédéric Nolet pour tes touches d'humour, ton honnêteté et ta générosité. Tu es un exemple de leadership. Ensuite, j'exprime ma reconnaissance à Marc-André Tétrault qui m'a orienté dans les moments critiques en partageant son expertise en circuits numériques. À la liste s'ajoute William Lemaire, toujours prêt à répondre à mes questions pièges. Merci à Arnaud Samson pour son appui lors de mes apprentissages avec *Vivado* et la programmation de *FPGA*. De plus, une partie importante du projet repose sur la physique et la fabrication des *SPAD* ainsi que leur assemblage en trois dimensions. Pour leur temps et leurs explications, merci à Frédéric Vachon, Maxime Côté et plus spécialement à Samuel Parent qui conçoit également tous les *SPAD* utilisés dans chacun de nos projets. J'aimerais enfin apporter une mention spéciale à Frédéric Bourque pour les bonnes discussions au début de ma maîtrise. Je remercie aussi toute l'équipe du GRAMS, tout particulièrement Caroline Paulin pour son travail exceptionnel. Tu représentes une partie essentielle du groupe. De même, pour toujours être l'homme de la situation, Richard Lacroix, tu as été mon sauveur à maintes reprises, merci.

Finalement, un merci tout exceptionnel à ma Sabrina pour sa patience infinie et pour accepter toutes les heures que j'ai passées hors de la maison. Mille mercis à mes parents et ma sœur pour leurs encouragements et leur support et ce, même lorsque la maîtrise prend plus de temps que prévu...

TABLE DES MATIÈRES

1	INTRODUCTION	1
1.1	Mise en contexte et problématique	1
1.2	Question de recherche	2
1.3	Objectifs	2
1.4	Contributions originales	3
1.5	Plan du document	4
2	ÉTAT DE L'ART	7
2.1	Physique des particules	7
2.1.1	Le modèle standard de la physique des particules	7
2.1.2	Expérience <i>nEXO</i> sur la physique des neutrinos	8
2.1.3	Expérience sur la matière noire dans l'argon liquide	10
2.2	Photomultiplicateurs en silicium et instrumentation	15
2.2.1	Critères de performance des photomultiplicateurs en silicium	15
2.2.2	Photomultiplicateurs analogiques en silicium	18
2.2.3	Utilisation des <i>SiPM</i> analogiques pour <i>nEXO</i>	19
2.2.4	Utilisation des <i>SiPM</i> analogiques dans l'argon liquide	21
2.2.5	Photomultiplicateurs numériques en silicium	23
2.3	Électronique numérique propre aux <i>SiPM</i>	27
2.3.1	Détection des photons et étampe temporelle	27
2.3.2	Logique d'additions des comptes	29
3	CONCEPTION	31
3.1	Spécifications et requis	31
3.2	Circuit d'étouffement	32
3.3	Flot numérique de conception	33
3.4	Arbre de détection des photons	34
3.5	Addition des comptes	40
3.6	Synchronisation des pixels	41
3.7	Mise en mémoire	41
3.8	Configuration et transmission des comptes	43
3.9	Circuits de test	44
3.9.1	Arbre de déclenchement	44
3.9.2	Déclenchement des pixels avec une connexion réalisée en lithographie	46
3.9.3	Intégration de <i>SPAD</i> en 2D	46
3.9.4	Sortie de déverminage	46
3.9.5	Signal de validation de la configuration de la puce	49
3.10	Intégration	49
3.11	Chronogrammes	53
3.12	Modes de fonctionnement de la puce	53
3.12.1	Faible consommation pour <i>nEXO</i>	53

3.12.2	Discrimination par forme d'impulsion dans l'argon liquide	55
4	MATÉRIEL ET MÉTHODOLOGIE	59
4.1	Matériel	59
4.1.1	Carte d'interface du circuit intégré	59
4.1.2	Carte de développement	59
4.1.3	Montage pour validations préliminaires	61
4.1.4	<i>Time Tagger Ultra</i> de <i>Swabian Instruments</i>	62
4.1.5	Chambre environnementale	63
4.2	Méthodologie	63
4.2.1	Caractérisation des <i>SPAD</i> intégrés en 2D	63
4.2.2	Validation de la logique d'addition des comptes	67
4.2.3	Mesure de la distribution temporelle de l'arbre de détection des photons	67
4.2.4	Modes d'opération de la puce	70
4.2.5	Consommation de puissance	71
5	RÉSULTATS ET ANALYSE	75
5.1	Caractérisation des <i>SPAD</i> intégrés en 2D	75
5.1.1	Tension de claquage des <i>SPAD</i>	75
5.1.2	Taux de comptage dans l'obscurité et bruit post-impulsionnel	76
5.1.3	Efficacité de photodétection	77
5.2	Validation de la logique d'addition des comptes	77
5.2.1	Étude de la somme analogique	77
5.2.2	Logique d'addition des comptes	79
5.3	Mesure de la distribution temporelle de l'arbre de détection des photons	83
5.3.1	Résultats avec l'arbre de déclenchement	83
5.3.2	Résultats avec les <i>SPAD</i> et montage optique	86
5.4	Modes d'opération de la puce	89
5.4.1	Acquisition typique pour <i>nEXO</i>	90
5.4.2	Acquisition typique pour la discrimination par forme d'impulsion dans l'argon liquide	90
5.5	Consommation de puissance	91
5.5.1	Consommation statique	91
5.5.2	Consommation dynamique selon la fréquence d'horloge	92
5.5.3	Consommation en fonction du taux d'événements en entrée	94
5.5.4	Consommation de puissance spécifique à chaque application	96
5.6	Discussion	99
6	CONCLUSION	103
6.1	Sommaire	103
6.2	Contributions	104
6.3	Travaux futurs	105
A	ENTRÉES ET SORTIES DE LA PUCE	107

B FLOT NUMÉRIQUE DE CONCEPTION	109
B.1 Fichiers de technologie	109
B.2 Description architecturale	110
B.3 Simulations numériques	110
B.4 Contraintes temporelles	110
B.5 Synthèse	110
B.6 Placement et routage	111
B.7 Validation	112
LISTE DES RÉFÉRENCES	113

LISTE DES FIGURES

2.1	Les particules élémentaires du modèle standard de la physique des particules.	8
2.2	Diagrammes de Feynman de la double désintégration bêta.	9
2.3	Installation souterraine du détecteur <i>nEXO</i> et vue en coupe du <i>TPC</i>	11
2.4	Simulation de la résolution en énergie du détecteur <i>nEXO</i> en fonction de l'efficacité des photodétecteurs.	12
2.5	Signature de deux événements dans l'argon liquide.	13
2.6	Région d'intérêt de la signature d'un <i>WIMP</i> . F_{prompt} et le nombre de photons mènent à la signature du <i>WIMP</i>	13
2.7	Illustration conceptuelle du détecteur DarkSide-20k.	14
2.8	Points d'opération du <i>SPAD</i> sur une courbe IV.	16
2.9	Schéma électrique et vue en coupe d'un <i>SiPM</i> analogique.	18
2.10	Photomultiplicateurs en silicium candidats pour les expériences dans le xénon liquide.	19
2.11	Architecture de lecture des <i>SiPM</i> analogiques pour <i>nEXO</i>	21
2.12	Module de Photodétecteurs pour <i>DarkSide-20k</i> . Les <i>SiPM</i> sur le dessus, les circuits de lecture en dessous.	22
2.13	Comparaison d'architectures typiques de lecture pour un <i>SiPM</i> analogique et numérique.	23
2.14	Architecture d'un <i>SiPM</i> hybride basée sur une source de courant par pixel pour une meilleure uniformité et une capacité de sortie moindre.	25
2.15	Réalisation d'un arbre en <i>OU</i> logique distribué en <i>H</i> pour uniformiser les délais de propagation entre chaque branche.	28
3.1	Chronogramme simulé des trois signaux de sortie du circuit d'étouffement par rapport à l'arrivée d'un photon.	33
3.2	Placement arbitraire des cellules numériques sans optimisation.	34
3.3	Distribution des délais par pixel sans optimisation. L'index $y = 0$, plus proche de la sortie, présente des délais inférieurs.	35
3.4	Histogramme de la distribution des délais par pixel sans optimisation. . . .	35
3.5	Distribution des délais par pixel légèrement améliorée avec les contraintes d'optimisation.	36
3.6	Histogramme de la distribution des délais par pixel avec l'optimisation. . .	37
3.7	Démonstration de l'équivalence entre un arbre <i>OU</i> et <i>NON-OU/NON-ET</i> . . .	37
3.8	Placement manuel des cellules numériques dans une structure en <i>H</i> pour uniformiser les délais entre chaque pixel et la sortie.	39
3.9	Distribution des délais par pixel avec un placement manuel. La différence en temps entre les deux entrées des portes logiques crée un motif.	39
3.10	Histogramme de la distribution des délais par pixel avec placement manuel. .	40
3.11	Circuit de synchronisation par pixel responsable des deux modes d'acquisition de la puce : synchronisation d'état et synchronisation de transition. . .	42

3.12	Acquisition de la scintillation dans l'argon liquide. Démonstration des échantillonnages rapide et lent.	43
3.13	Trame de configuration de l' <i>ASIC</i> sur 32 bits.	43
3.14	Trame de données de l' <i>ASIC</i> sur 18 bits. L'ordre inversé des bits permet de réduire au besoin la longueur de la trame.	44
3.15	Distribution temporelle arbitraire de l'arbre de déclenchement. L'outil de placement automatisé est à l'origine du motif irrégulier.	45
3.16	Histogramme de la distribution temporelle de l'arbre de déclenchement. Le profil non gaussien provient du placement automatisé.	45
3.17	Lithographie à utiliser pour tester les pixels sans l'assemblage 3D des <i>SPAD</i> ou l'arbre de déclenchement.	47
3.18	<i>SPAD</i> intégré en 2D comme signal d'entrée avec l'aire active de l'anode en rouge au centre.	48
3.19	Schéma bloc simplifié des systèmes numériques du circuit intégré.	49
3.20	Image du dessin des masques de la puce avec la description de ses différentes sections.	51
3.21	Répartition de l'électronique numérique placée automatiquement autour du pixel analogique.	52
3.22	Chronogramme de programmation du registre de configuration.	53
3.23	Chronogramme des signaux internes et externes de l'acquisition des données suivie de la transmission.	54
3.24	Tuile en silicium avec la matrice de puces en 3D.	54
3.25	Illustration de la coïncidence pour la discrimination du <i>DCR</i>	55
3.26	Les trois implémentations de la coïncidence pour la discrimination par forme d'impulsion.	56
3.27	Chronogramme des signaux de contrôle pour l'acquisition <i>PSD</i>	57
4.1	Carte d'interface avec la matrice de 2×2 circuits intégrés.	60
4.2	Carte d'interface du circuit intégré connectée à la carte de développement.	61
4.3	Montage Apollo 13.	62
4.4	<i>Time Tagger Ultra</i> de la compagnie <i>Swabian Instruments</i>	63
4.5	Chambre environnementale <i>EC12</i> de <i>Sun Electronic Systems, Inc.</i>	64
4.6	Schéma bloc du montage optique pour la mesure de l'efficacité de photodétection.	66
4.7	Simulation du signal attendu pour la validation de la somme numérique.	68
4.8	Schéma du montage optique pour la mesure de la résolution temporelle avec les 61 <i>SPAD</i>	69
4.9	Schéma des circuits de mesure de puissance.	72
4.10	Schéma de la configuration de la sortie de déverminage pour mesurer la consommation de puissance des tampons de sortie.	73
5.1	Tension de claquage des <i>SPAD</i> en fonction de la température.	75
5.2	Taux de comptage dans l'obscurité et bruit post-impulsionnel des <i>SPAD</i> obtenus par la méthode ZPP.	76
5.3	Efficacité de photodétection des <i>SPAD</i> en <i>CMOS</i> 180 nm.	77

5.4	Diaphonie électrique sur la somme analogique.	78
5.5	Schéma modifié de l'électronique frontale de la somme en courant.	80
5.6	Sortie analogique filtrée avec aucune activité numérique.	81
5.7	Validation de la synchronisation d'état avec le montage Apollo 13.	82
5.8	Validation de la synchronisation de transition avec le montage Apollo 13. .	83
5.9	Acquisition de la somme numérique avec les cartes de développement et d'interface.	84
5.10	Distribution du délai par pixel incluant l'arbre de déclenchement.	85
5.11	Distribution du délai avec les <i>SPAD</i> . Les <i>SPAD</i> ajoutent un délai supplé- mentaire par leur capacité.	85
5.12	Histogrammes normalisés en amplitude du délai par pixel incluant l'arbre de déclenchement, pour tous les pixels, les 4035 pixels sans <i>SPAD</i> et seulement les 61 pixels avec des <i>SPAD</i>	86
5.13	Histogrammes comparant les simulations au mesures.	87
5.14	Détermination du délai moyen par pixel possédant un <i>SPAD</i>	87
5.15	Délai relatif en fonction de l'index du pixel possédant un <i>SPAD</i>	88
5.16	Histogramme des délais de l'arbre de détection pour les 61 pixels utilisant des <i>SPAD</i> comme source de déclenchement.	89
5.17	Acquisition typique mesurée pour <i>nEXO</i>	90
5.18	Acquisition typique mesurée pour reproduire la discrimination par forme d'impulsion dans l'argon liquide.	91
5.19	Puissance mesurée du cœur numérique en fonction de la fréquence de l'horloge.	93
5.20	Distribution de la consommation de puissance dynamique.	93
5.21	Puissance mesurée des tampons de sortie en fonction de la fréquence d'opé- ration.	95
5.22	Puissance mesurée de la matrice en fonction du taux de comptage (1,8 V).	95
5.23	Puissance mesurée de la matrice de circuits d'étouffement en fonction du taux de comptage (5 V).	96
5.24	Puissance totale de la matrice en fonction du taux de comptage.	97
A.1	Position des entrées et sorties de la puce.	107
B.1	Schéma haut niveau du flot numérique.	109
B.2	Flot numérique spécifique à la synthèse et au placement et routage.	111

LISTE DES TABLEAUX

2.1	Spécifications de <i>SiPM</i> utilisés pour les expériences dans le xénon liquide. .	19
2.2	Résumé des paramètres de <i>SiPM</i> requis pour <i>nEXO</i>	20
2.3	Spécifications des <i>SiPM FBK</i> pour <i>DarkSide-20k</i>	22
2.4	Résumé et comparaison de l'état de l'art de quelques <i>3DdSiPM</i>	26
2.5	<i>3DdSiPM</i> du GRAMS.	26
2.6	Comparaison des performances de différentes topologies d'additionneurs à 8 bits d'entrée dans une technologie <i>CMOS</i> 0,12 μm	29
3.1	Requis du <i>dSiPM</i> à concevoir.	31
3.2	Évaluation des propriétés des cellules standards pour un arbre à 4096 entrées pour trouver les meilleurs candidats.	38
3.3	Contribution des différents circuits sur le facteur de remplissage de la puce <i>CMOS</i>	51
5.1	Capacités parasites de couplage dans la puce.	79
5.2	Résistance point à point du nœud de blindage.	79
5.3	Gain des étages du circuit d'amplification de la somme en courant.	80
5.4	Périodes de coupure des étages du circuit d'amplification de la somme en courant.	80
5.5	Mesures de consommation statique sur les domaines d'alimentation.	92
5.6	Atteinte des requis du <i>dSiPM</i> conçu.	100
A.1	Description des entrées et sorties de la puce.	107

LISTE DES ACRONYMES

Acronyme	Définition
<i>3DdSiPM</i>	<i>3D Digital Silicon Photomultiplier</i> - Photomultiplicateur 3D numérique en silicium
<i>ADC</i>	<i>Analog to Digital Converter</i> - Convertisseur analogique-numérique
<i>ARM</i>	<i>Advanced RISC Machine</i>
<i>ATLAS</i>	<i>A Toroidal LHC ApparatuS</i> - Dispositif instrumental toroïdal pour le <i>LHC</i>
<i>AP</i>	<i>Afterpulse</i> - Bruit post-impulsionnel
<i>ASIC</i>	<i>Application-Specific Integrated Circuit</i> - Circuit intégré à application spécifique
<i>BCD</i>	<i>Bipolar-CMOS-DMOS</i>
<i>CByA</i>	<i>Carry Bypass Adder</i>
<i>CCR</i>	<i>Correlated Count Rate</i> - Taux de comptage corrélé
CERN	Conseil Européen pour la Recherche Nucléaire
<i>CIA</i>	<i>Carry Increment Adder</i>
<i>CLA</i>	<i>Carry Look-Ahead</i>
<i>CMOS</i>	<i>Complementary Metal-Oxide Semiconductor</i>
<i>CMS</i>	<i>Compact Muon Solenoid</i> - Solénoïde compact à muons
<i>CRC</i>	Contrôle de redondance cyclique
<i>CSaA</i>	<i>Carry Save Adder</i>
<i>CSelA</i>	<i>Carry Select Adder</i>
<i>CSkA</i>	<i>Carry Skip Adder</i>
<i>CSV</i>	<i>Comma-Separated Values</i>
<i>CTS</i>	<i>Clock Tree Synthesis</i> - Synthèse d'arbre d'horloge
<i>DCR</i>	<i>Dark Count Rate</i> - Taux de comptage dans l'obscurité
<i>DDR</i>	<i>Double Data Rate</i>
<i>DEAP</i>	<i>Dark matter Experiment using Argon Pulse-shape Discrimination</i>
<i>DEL</i>	Diode Électroluminescente
<i>DMOS</i>	<i>Double-diffused metal-oxide-semiconductor</i>
<i>DPC</i>	<i>Digital Photon Counter</i> - Compteur de photons numérique
<i>dSiPM</i>	<i>Digital Silicon Photomultiplier</i> - Photomultiplicateur numérique en silicium
<i>EXO</i>	<i>Enriched Xenon Observatory</i>
<i>FBK</i>	<i>Fondazione Bruno Kessler</i>
<i>FIFO</i>	<i>First In First Out</i> - Premier entré premier sorti
<i>FPGA</i>	<i>Field Programmable Gate Array</i> - Matrice de portes programmables
GRAMS	Groupe de recherche en appareillage médicale de Sherbrooke
<i>JTAG</i>	<i>Joint Test Action Group</i>
<i>LAr</i>	<i>Liquid Argon</i> - Argon liquide
<i>LHC</i>	<i>Large Hadron Collider</i> - Grand collisionneur de hadrons
<i>LXe</i>	<i>Liquid xenon</i> - Xénon liquide
<i>MIT</i>	<i>Massachusetts Institute of Technology</i>
<i>nEXO</i>	<i>next Enriched Xenon Observatory</i>

Acronyme	Définition
<i>PCB</i>	<i>Printed Circuit Board</i> - Carte de circuit imprimé
<i>PDE</i>	<i>Photo Detection Efficiency</i> - Efficacité de photodétection
<i>PDM</i>	<i>Photodetection Modules</i> - Modules de photodétection
<i>PIN</i>	<i>p-type / intrinsec / n-type</i> - type-p / intrinsèque / type-n
<i>PSD</i>	<i>Pulse Shape Discrimination</i> - Discrimination par forme d'impulsion
<i>RCA</i>	<i>Ripple Carry Adder</i>
<i>RMS</i>	<i>Root Mean Square</i> - Moyenne quadratique
<i>ROI</i>	<i>Region Of Interest</i> - Région d'intérêt
<i>SD</i>	<i>Secure Digital</i>
<i>SDC</i>	<i>Synopsys Design Constraints</i>
<i>SDF</i>	<i>Standard Delay Format</i>
<i>SiPM</i>	<i>Silicon Photomultiplier</i> - Photomultiplicateur en silicium
<i>SOM</i>	<i>System On Module</i> - Système sur module
<i>SPAD</i>	<i>Single Photon Avalanche Diode</i> - Diode à avalanche monophotonique
<i>TCL</i>	<i>Tool Command Language</i>
<i>TCR</i>	<i>Total Count Rate</i> - Taux de comptage total
<i>TDC</i>	<i>Time to digital converter</i> - Convertisseur temps-numérique
<i>TEP</i>	Tomographie d'émission par positrons
<i>TPC</i>	<i>Time Projection Chamber</i> - Chambre à projection temporelle
<i>TSMC</i>	<i>Taiwan Semiconductor Manufacturing Company</i>
<i>UCR</i>	<i>Uncorrelated Count Rate</i> - Taux de comptage non-corrélé
<i>UV</i>	Ultraviolet
<i>USB</i>	<i>Universal Serial Bus</i>
<i>VHDL</i>	<i>VHSIC Hardware Description Language</i>
<i>VHSIC</i>	<i>Very High Speed Integrated Circuit</i> - Circuit intégré à très haute vitesse
<i>VUV</i>	<i>Vacuum Ultra Violet</i> - Ultraviolet dans le vide
<i>WIMP</i>	<i>Weakly Interacting Massive Particle</i> - Particule massive interagissant faiblement
<i>XOR</i>	Ou exclusif

CHAPITRE 1

INTRODUCTION

1.1 Mise en contexte et problématique

La connaissance est un cercle vicieux, un puits sans fond. Plus on en apprend et plus on veut en savoir davantage. Ce principe a permis de forger la science telle qu'on se l'explique aujourd'hui. L'évolution de la technologie ouvre les portes à sa progression. La physique des particules n'échappe pas à la règle.

Dès le début des années 1970, les travaux sur le modèle standard ont pris leur envol [1]. De nouvelles particules sont découvertes en utilisant des expériences de plus en plus poussées. Plusieurs questions concernant les fondements de notre Univers demeurent ainsi sans réponses. La masse des neutrinos et l'origine de la matière noire restent des sujets d'actualité [2, 3]. Les physiciens collaborent donc de pair avec des ingénieurs afin de bâtir des détecteurs toujours plus performants. Le plus gros à ce jour se tient au CERN (Conseil Européen pour la Recherche Nucléaire). Le *LHC* (*Large Hadron Collider*) consiste en un accélérateur de particules qui permet d'étudier la collision de ces dernières. Deux importantes expériences, *ATLAS* (*A Toroidal LHC ApparatuS*) et le *CMS* (*Compact Muon Solenoid*) ont démontré, en 2012, l'existence du boson de Higgs [4].

Cependant, d'autres types de détecteurs existent. Avec les nouvelles avancées sur les photomultiplicateurs en silicium (*Silicon Photomultiplier* - *SiPM*), la mesure de la scintillation dans les liquides nobles devient plus accessible. En comptant le nombre de photons, leur temps d'arrivée et leur position, la signature de différentes particules peut ainsi être reconnue. Ces expériences nécessitent plusieurs tonnes de ces liquides à des températures cryogéniques pour une meilleure sensibilité. L'instrumentation de ces chambres à projection temporelle permet alors d'observer ce qui reste autrement impossible.

Fort de son expérience dans l'instrumentation pour le domaine de l'imagerie préclinique, le Groupe de recherche en appareillage médical de Sherbrooke (GRAMS) [5] a dernièrement vu l'opportunité d'appliquer son savoir à la physique des particules. À l'origine, les requis provenaient de la tomographie d'émission par positrons (TEP). Cette modalité d'imagerie observe le métabolisme pour déceler des tumeurs cancéreuses par l'administration d'une dose de radioactivité au patient. Le scanner, formant un anneau autour du sujet à étudier,

est couvert de photodétecteurs cachés derrière des scintillateurs. L'annihilation des positrons avec un électron du milieu à l'étude génère des photons en direction opposée détectés en coïncidence. La partie instrumentation du groupe cherche donc à développer des photodétecteurs numériques afin d'atteindre la meilleure résolution temporelle possible. Une valeur de l'ordre de 10 ps permettrait d'obtenir une précision spatiale de 3 mm et ainsi augmenter le contraste des images, réduire la dose de radioactivité nécessaire et diminuer le temps d'acquisition.

Or, pour la physique des particules dans les liquides nobles, les besoins s'apparentent, mais avec quelques différences. En fonction de la sensibilité requise par les diverses expériences, la surface à instrumenter va de quelques mètres carrés [6] à plus d'une dizaine [7]. Une plus grande superficie à couvrir demande une plus grande quantité de photodétecteurs et complexifie les circuits de lecture et la transmission des données [6]. En effet, une nouvelle approche dans le domaine vise à plonger les capteurs de photons et leur électronique dans les liquides de scintillation. Ces composants doivent alors opérer à des températures cryogéniques essentielles à maintenir l'état liquide ce qui entraîne un lot de défis. Parmi ceux-ci, on retrouve le bilan de puissance à restreindre et l'intégrité mécanique de l'électronique à planifier. Une meilleure efficacité de photodétection aide à observer des événements rares. Bien que le chapitre suivant donne de plus amples précisions sur ces expériences et leurs requis, aucune solution simple n'existe actuellement.

Proposant alors son expertise à la communauté scientifique, le GRAMS vise à concevoir une saveur de ses photodétecteurs numériques en trois dimensions à faible puissance pour la physique des particules. Dans cette approche, un étage de photodiodes, développées sur mesure, devra s'interfacer à de l'électronique adaptée. Cette problématique amène la question de recherche ci-dessous.

1.2 Question de recherche

Comment réaliser un circuit numérique de lecture d'une matrice de photodiodes à avalanche monophotonique à faible consommation, dédié à instrumenter des expériences de physique des particules à grande surface dans les gaz nobles liquéfiés ?

1.3 Objectifs

Ce projet repose sur la conception d'un circuit intégré à application spécifique (*Application Specific Integrated Circuit - ASIC*) numérique. Cette puce sera assemblée en trois

dimensions sous une matrice de photodétecteurs également développée par le GRAMS. Des diodes à avalanche monophotonique, mieux connues sous l'acronyme anglais *SPAD* (*Single Photon Avalanche Diode*), permettront de convertir des photons en signal électrique. Un circuit d'étouffement, qui lit et contrôle ces diodes, est réalisé dans le cadre de la maîtrise d'un collègue, Gabriel St-Hilaire. Le circuit d'étouffement est combiné en une matrice avec de la logique d'interface. Cette matrice doit mesurer l'énergie d'un événement, soit la quantité de photons détectés. Un mécanisme d'indication de présence des photons doit également être inclus afin de savoir quand lire le compte. Ce signal pourra aussi être chronométré pour obtenir l'information temporelle d'un événement. Enfin, développer une technologie de *SPAD* ainsi que le procédé d'assemblage n'est pas chose facile. Des structures de tests vont valider l'*ASIC* sans l'intégration des *SPAD* en trois dimensions (3D), qui sont toujours en développement. Ce mémoire se divise donc en quatre objectifs principaux, résumés sous forme de liste :

- Réaliser la logique d'interface pour une matrice de circuits d'étouffement
- Réaliser la logique d'addition des comptes
- Réaliser le mécanisme d'indication de présence des événements
- Réaliser une architecture interne pour tester le dispositif sans assemblage 3D

Des objectifs secondaires s'ajoutent à cette liste. Puisque le circuit intégré opérera à faible température, des précautions doivent assurer son bon fonctionnement dans cet environnement. Sa consommation de puissance doit, entre autres, être minimisée afin d'éviter toute ébullition du liquide cryogénique de scintillation. En vue de diminuer la complexité de l'intégration sur plusieurs mètres carrés et de maximiser la collection de photons, la taille du dispositif à développer doit s'approcher du centimètre carré pour se comparer à la littérature [8]. Une telle taille implique beaucoup de transistors. À cet effet, des scripts personnalisés implémenteront un flot numérique de conception pour cette puce. Ils permettront d'exécuter plusieurs tâches plus rapidement tout en obtenant de meilleurs résultats.

1.4 Contributions originales

Les travaux décrits dans ce mémoire ont mené à la fabrication d'un *SiPM* complètement numérique à faible puissance. Dans le contexte du GRAMS, il devient la première puce conçue spécialement en vue de procéder à un collage 3D gaufre à gaufre avec des *SPAD* faits sur mesure. De plus, une sortie analogique in situ [9] permet une première démonstration

de la validité de l'approche numérique du détecteur. En effet, les deux sorties peuvent être comparées en temps réel.

Une des applications de la puce consiste à proposer une solution haut risque, mais avec de forts bénéfices à l'expérience *nEXO* dans le xénon liquide. Elle se veut un remplacement à la chaîne conventionnelle *SiPM* analogique, préamplificateur, circuit de mise en forme d'impulsion et convertisseur analogique-numérique. Cette technologie permettra de diminuer le taux d'erreurs sur le comptage des photons et offrira une résolution temporelle accrue pour une consommation de puissance moindre. Le bruit post-impulsionnel affectant les *SPAD* aux températures cryogéniques réduira fortement avec cette approche numérique simple.

Une deuxième application réside dans l'étude de la matière noire dans l'argon liquide. Pour une première fois, un mode d'acquisition sur mesure à même le photodétecteur facilitera le calcul de discrimination par forme d'impulsion [sous-section 3.12.2].

Dans un troisième temps, la flexibilité de l'architecture ouvre des portes à plusieurs autres applications de comptage des photons qui utilisent actuellement des *SiPM* analogiques.

La suite du document présentera les détails de cette architecture.

1.5 Plan du document

En vue d'offrir une solution au projet de recherche, le présent mémoire sera structuré de la sorte. D'abord, une revue de l'état de l'art sera présentée. Puis, les étapes du développement seront introduites suivies par le matériel requis et le plan de test afin d'obtenir les résultats et l'analyse.

Le chapitre 2 se divise en trois parties. Il couvre premièrement la physique des particules. Les notions de base afin de comprendre les besoins de deux détecteurs seront exposées. La deuxième section portera sur les photodétecteurs utilisés dans ces types d'expérience. La fin survolera l'électronique nécessaire pour la réalisation du *SiPM* numérique.

Le chapitre 3 amène les étapes de conception et les choix pris en vue d'atteindre les objectifs du projet. L'interface avec le circuit d'étouffement, la logique de comptage, d'indication de la présence de photons et les structures de test seront présentées.

Le chapitre 4 couvre le matériel, les équipements à utiliser et la caractérisation de la puce. Certaines phases requièrent des équipements spécifiques sous certaines configurations.

Le chapitre 5 donne les résultats du travail accompli. Chaque objectif sera évalué en fonction des mesures obtenues. Une analyse complétera ces expérimentations.

CHAPITRE 2

ÉTAT DE L'ART

2.1 Physique des particules

Afin de mieux apprécier les enjeux techniques exposés dans cette section, une brève introduction à la physique des particules et au modèle standard s'impose. La physique du neutrino suivra. Plusieurs collaborations scientifiques s'y intéressent. L'accent sera mis sur le détecteur *next Enriched Xenon Observatory* ou *nEXO*, conçu spécialement pour l'étude de cette particule. Viendra enfin la matière noire, une grande source de questionnement dans la physique moderne. Également utilisée dans plusieurs expériences, la discrimination par forme d'impulsion dans l'argon liquide sera présentée.

2.1.1 Le modèle standard de la physique des particules

Regroupant les efforts de recherche de plusieurs scientifiques, le modèle standard de la physique des particules a été développé dans les années 1970 et est fondé sur plusieurs expérimentations qui ont permis de valider la théorie qui le définit [1]. D'abord, la matière se compose d'atomes, constitués d'un assemblage d'électrons, de protons et de neutrons. Ces deux derniers, formés de quarks qui constituent les noyaux, font partie des douze particules fondamentales du modèle standard, les fermions. Ils ont différentes propriétés : leur spin, leur nombre quantique ou leur charge et finalement leur masse [10]. Cette propriété les regroupe en trois familles. La première crée la matière ordinaire. Plus légères, les particules de cette famille (*up*, *down*, électron et neutrino électronique) demeurent stables et extrêmement présentes dans la nature. Les deux autres familles, plus lourdes et instables, vont rapidement se désintégrer (famille II : *charm*, *strange*, muon, neutrino muonique, famille III : *top*, *bottom*, tau et neutrino tauique). Les fermions interagissent par le biais de forces qui possèdent chacune leurs bosons respectifs : forte (gluon), faible (bosons W^+ , W^- et Z), électromagnétique (photon) [11, 12]. En fonction de leur réaction aux interactions forte et électromagnétique, les fermions se classent en deux type : les quarks et les leptons. La Figure 2.1 présente les différentes particules et leurs propriétés.

De plus, chaque particule possède sa propre antiparticule, caractérisée par une charge de signe opposé, tout en gardant les mêmes masse et spin. Par exemple, l'électron entre

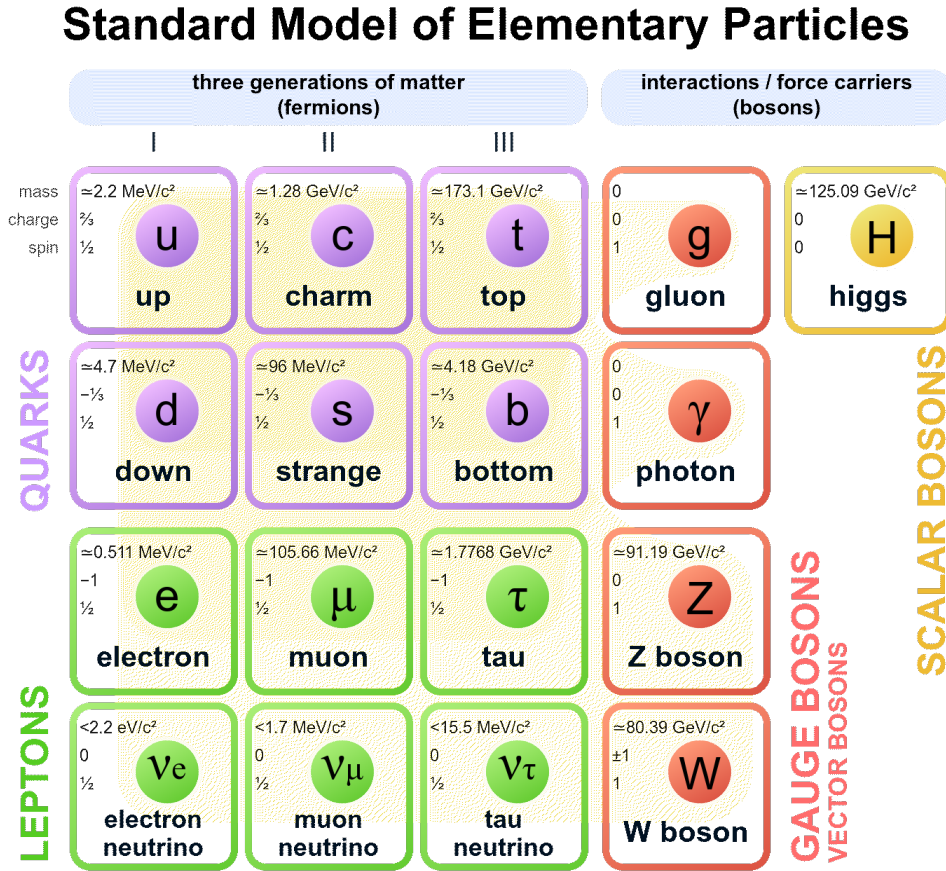


Figure 2.1 Les particules élémentaires du modèle standard de la physique des particules [13].

dans la catégorie des fermions de Dirac, puisqu'il se différencie du positron par sa charge unitaire de polarité inverse. Par opposition selon une hypothèse à confirmer, le fermion de Majorana se définirait à la fois comme une particule et son antiparticule.

2.1.2 Expérience *nEXO* sur la physique des neutrinos

Tandis que la science connaît bien la plupart des fermions, les neutrinos demeurent un mystère. Leur insensibilité aux interactions électromagnétique et forte en rend la détection difficile. Le modèle standard a longtemps considéré leur masse comme nulle. L'observation de leur oscillation a récemment prouvé le contraire. Par ce phénomène, ils passent d'une saveur à une autre : électron, muon et tau [14]. Mais alors combien vaut leur masse et d'où provient-elle ? La communauté s'entend sur la double désintégration bêta sans neutrinos ($0\nu\beta\beta$) comme mécanisme le plus prometteur à étudier afin de tirer des conclusions. L'existence de ce processus validerait l'hypothèse du neutrino Majorana [15].

Une désintégration bêta consiste en la transformation d'un neutron (*up, down, down*) en un proton (*up, up, down*) en émettant un électron et un neutrino électronique. Une double désintégration bêta ($2\nu\beta\beta$) produit donc deux électrons et deux neutrinos. La Figure 2.2a représente cette interaction sous forme d'un diagramme de Feynman [12]. Puis, en suivant la théorie du Majorana, les neutrinos auraient la possibilité de s'annihiler pour créer une double désintégration bêta sans neutrinos (Figure 2.2b). La mesure de la demi-vie de ce phénomène, s'il existe, permettrait de déterminer la masse de ce lepton [16]. L'expérience *EXO*, de l'acronyme anglais *Enriched Xenon Observatory*, et son successeur *nEXO* (*next Enriched Xenon Observatory*) tentent d'accomplir cette mesure [17].

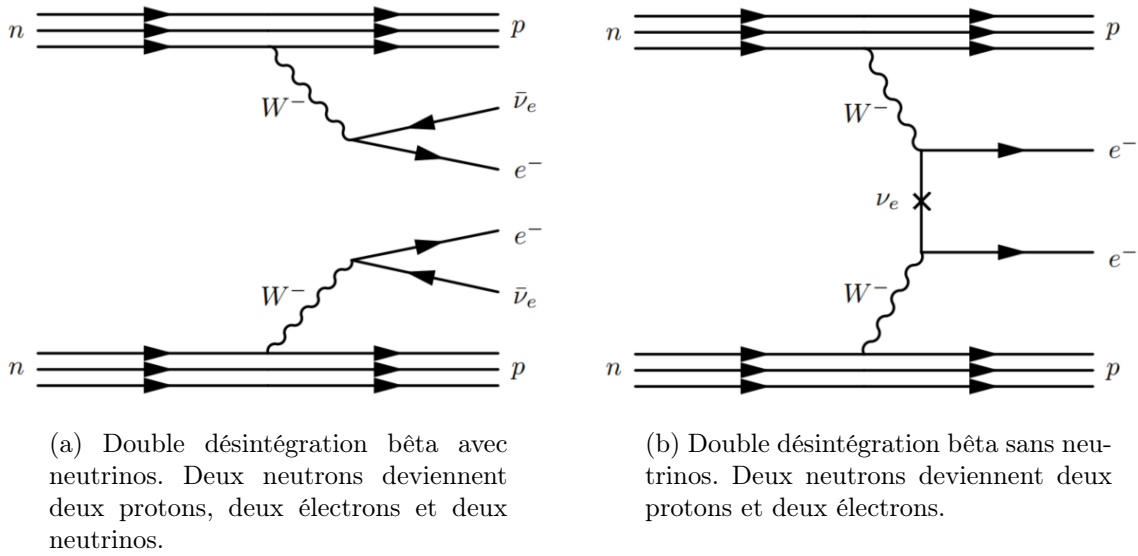


Figure 2.2 Diagrammes de Feynman de la double désintégration bêta [15].

L'expérience *nEXO* utilise le xénon liquide à la fois comme source (^{136}Xe) et comme détecteur de double désintégration bêta avec ou sans neutrinos. Les radiations dans ce liquide noble excitent ses atomes en créant des paires électron-trou. Des dimères excités vont par la suite générer des photons ultraviolets (UV) en retournant à leur état de base. Le maximum de la longueur d'onde d'émission se situe à 177,6 nm, rayonnement pour lequel le xénon est essentiellement transparent [15].

Parmi les différents éléments permettant de possiblement observer la $0\nu\beta\beta$ [17], plusieurs raisons justifient le choix du xénon pour détecter la double désintégration bêta. Alors que seul son isotope ^{136}Xe peut être utilisé, la réaction dans ce dernier relâchera également un haut niveau d'énergie, aussi appelé paramètre Q . Cette valeur de 2457,8 keV supérieure à de nombreux rayonnements gamma rend la discrimination plus facile. La forte densité du xénon avec 3 g/cm^3 et un numéro atomique de 54 permet une bonne isolation contre

les rayons gamma de faible énergie provenant de l'extérieur du détecteur. Les charges et les photons de scintillation générés par la radiation dans le xénon s'avèrent largement anti-corrélés et donnent une information complémentaire afin de détecter l'énergie de la particule de même que son type. Le rendement d'ionisation et de scintillation de ce liquide est également élevé. Enfin, naturellement présent à 8,9 %, un simple procédé d'ultracentrifugation permet l'enrichissement en ^{136}Xe [15].

Malgré tous ses avantages, l'utilisation du ^{136}Xe liquide comme scintillateur amène son lot de défis. Puisque la demi-vie de la $0\nu\beta\beta$ s'annonce très longue, l'expérience *nEXO* durera près de 10 ans et utilisera cinq tonnes de xénon afin de collecter assez de statistiques. Pour détecter un phénomène aussi rare que la $0\nu\beta\beta$, toutes les sources de bruit de fond qui pourraient s'apparenter à sa signature seront réduites. Pour y parvenir, le xénon requiert une purification de tout contaminant, et ce tout au long de la prise de données. De plus, les matériaux constituant le détecteur et son instrumentation doivent être choisis avec précaution. Comme le xénon reste liquide sur une faible plage de température, soit d'environ 162 K à 165 K (-111°C à -108°C), la puissance dissipée doit donc se limiter à moins de 100 W selon des analyses thermiques [6].

Considérant tous les requis, la collaboration de chercheurs impliqués dans *nEXO* travaille à concevoir ledit détecteur (Figure 2.3). Il consistera en une chambre à projection temporelle (*Time Projection Chamber - TPC*) de 1,3 m de diamètre par 1,3 m de hauteur, remplie de ^{136}Xe liquide. Des anneaux, répartis sur toute la hauteur du cylindre, induiront un champ électrique de quelques centaines de volts par centimètre afin de diriger les électrons d'ionisation vers une matrice de détecteurs de charge située sur la surface interne supérieure de la chambre. 4,5 m^2 de photodétecteurs recouvriront la périphérie derrière les anneaux à haute tension pour capter les photons de scintillation [6].

Les photodétecteurs représentent un enjeu crucial puisqu'ils sont directement liés à la résolution en énergie de l'expérience et donc l'observation de la $0\nu\beta\beta$. La Figure 2.4 démontre qu'une efficacité de photodétection de plus de 3 % permet d'atteindre une résolution en énergie inférieure à 1 %. La section 2.2 couvrira plus en détail ces capteurs de photons.

2.1.3 Expérience sur la matière noire dans l'argon liquide

Malgré tous les efforts des chercheurs, le modèle standard demeure incomplet. En regardant la vitesse et le rayon de courbure du déplacement des étoiles dans les galaxies, les astrophysiciens ont conclu que 80 % de cette masse s'avère inconnue et inexpliquée [19]. Cette matière noire ne se détecte que par les effets de la gravité [20]. Une nouvelle particule

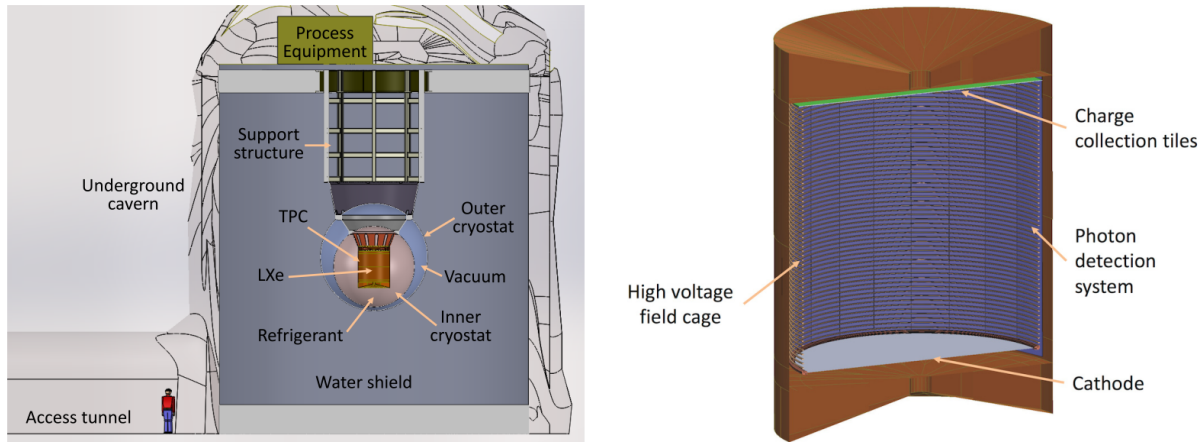


Figure 2.3 Installation souterraine du détecteur *nEXO* (gauche) et vue en coupe du *TPC* (droite) [18].

élémentaire hypothétique, de l'acronyme anglais *Weakly Interacting Massive Particle*, le *WIMP*, pourrait révéler une partie de la solution. Le *WIMP* constituerait la matière noire. Il ne réagirait pas avec les champs électromagnétiques, mais seulement par l'interaction faible [21, 22].

Cela dit, afin d'en apprendre davantage sur la matière noire, plusieurs techniques s'offrent pour valider l'existence de ces particules massives. La première, par détection indirecte, consiste à observer une désintégration de *WIMP* qui s'est produite très loin du système solaire, souvent au centre de galaxies. Des rayons gamma seront ainsi générés et voyageront jusqu'à la terre où ils pourront être examinés. L'expérience *IceCube* en constitue un exemple [23, 24]. Une autre méthode indirecte repose sur l'étude des neutrinos à haute énergie, mais réagissant faiblement, générés par la désintégration du *WIMP*. Enfin, la solution de détection directe selon laquelle un grand volume de scintillateur permettrait d'étudier l'interaction d'un *WIMP* existe également. Parmi plusieurs types de scintillateurs, les gaz nobles trouvent une fois de plus une utilité.

Des expériences comme *DEAP* (*Dark matter Experiment using Argon Pulse-shape discrimination*) et *DarkSide* [25] profitent de l'argon liquide comme scintillateur. Lors d'une interaction d'un *WIMP* qui traverse la masse d'argon liquide, ce dernier s'ionise. En résulteront des dimères excités à l'état singlet et triplet. En se désintégrant vers leur niveau initial, ces dimères émettent de la lumière de scintillation à 128 nm. L'importante différence de durée de vie entre les états singlets et triplets des dimères dans l'argon, soit 6 ns et 1300 ns respectivement, rend ce scintillateur très attrayant pour discriminer divers types d'événements. Effectivement, chaque radiation ionisante possède son propre ratio

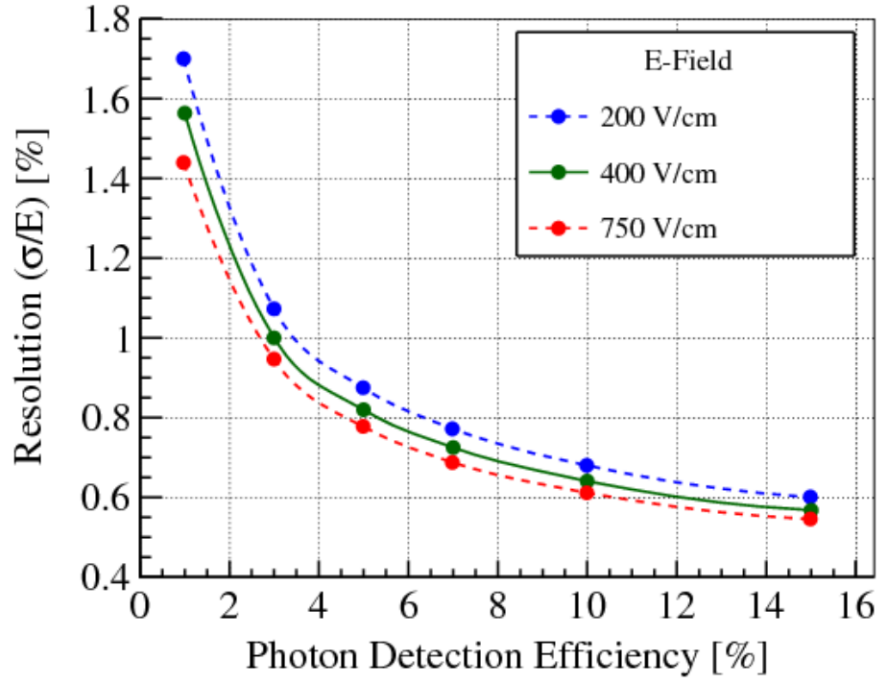


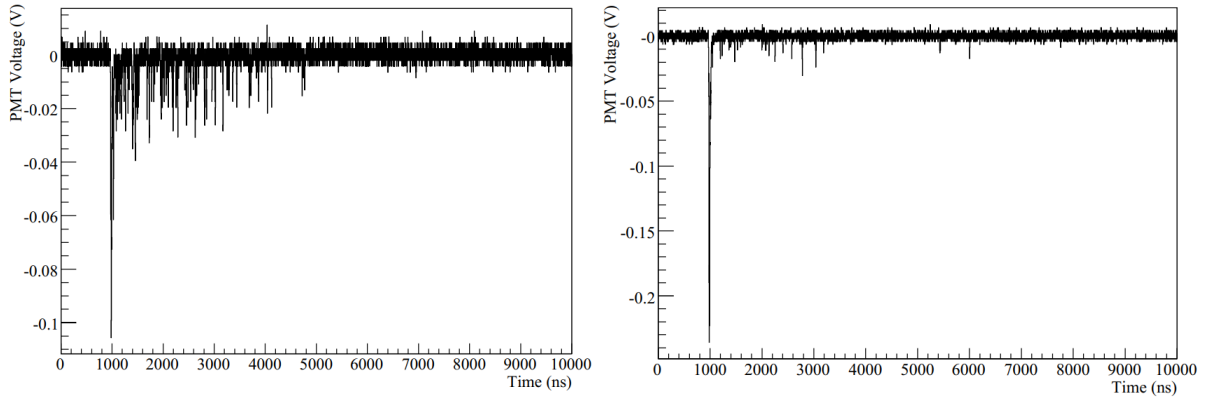
Figure 2.4 Simulation de la résolution en énergie du détecteur *nEXO* en fonction de l'efficacité des photodétecteurs [6].

de singlets et de triplets générés. La discrimination par forme d'impulsion (*Pulse Shape Discrimination* - *PSD*) prend alors tout son sens. Le rapport des photons prompts sur le total de l'événement permet de reconnaître les *WIMP*. L'équation 2.1 explique cette fraction [26].

$$F_{prompt} = \frac{\text{photoélectrons prompts}}{\text{photoélectrons totaux}} \quad (2.1)$$

La Figure 2.5 présente deux formes d'ondes de la mesure des photons d'ionisation qui proviennent à gauche d'un gamma et à droite d'un neutron. Deux méthodes permettent de discerner leur signature. Premièrement, les comptes représentés par l'amplitude des signaux diffèrent. Ensuite, la Figure 2.5a donnera une fraction de prompt inférieure à la Figure 2.5b, puisque cette dernière possède une plus importante quantité de photons prompts.

Le nombre de photons reçus et la fraction de prompts peuvent finalement être présentés sous forme d'un graphique. La Figure 2.6 montre, en ordonnée, la fraction de prompts pour différentes signatures d'événements et en abscisse la quantité totale de photons. L'observation des *WIMP* représente une faible plage d'intérêt (*ROI*) en vert.



(a) Événement gamma dominé par les triplets ($F_{prompt} = 0,3$).

(b) Événement neutronique dominé par les singlets ($F_{prompt} = 0,8$).

Figure 2.5 Signature de deux événements dans l'argon liquide [27].

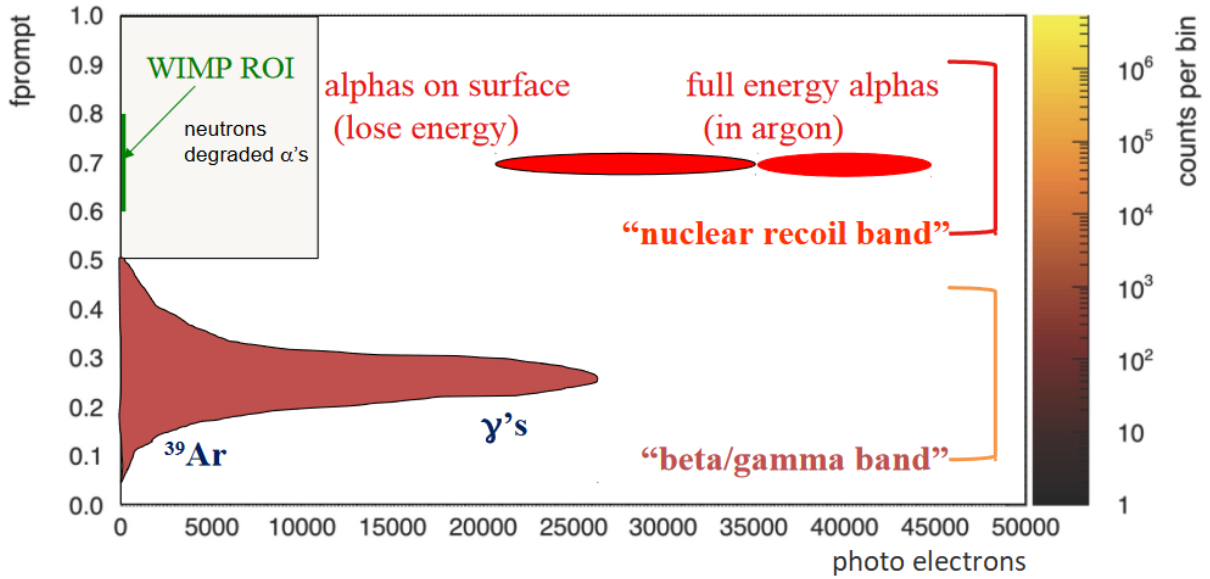


Figure 2.6 Région d'intérêt (*ROI*) de la signature d'un *WIMP* [28]. F_{prompt} et le nombre total de photons mènent à la signature du *WIMP*.

Cette plage s'avère cependant très fine. Elle requiert impérativement de réduire les sources de bruit. L'argon possède un numéro atomique relativement élevé de 18, ce qui aide à protéger des radiations externes. Ce liquide noble peu dispendieux et facile à purifier représente donc un choix judicieux de scintillateur. Sa température sous forme liquide se révèle certes plus froide que celle du xénon, soit entre 84 K et 87 K (-189°C à -186°C).

Alors que l'expérience *DEAP-3600* s'affaire actuellement à prendre des données, les chercheurs s'adonnent déjà à concevoir une prochaine itération (Figure 2.7). Le volume d'argon augmentera pour améliorer sa sensibilité et la géométrie changera légèrement.

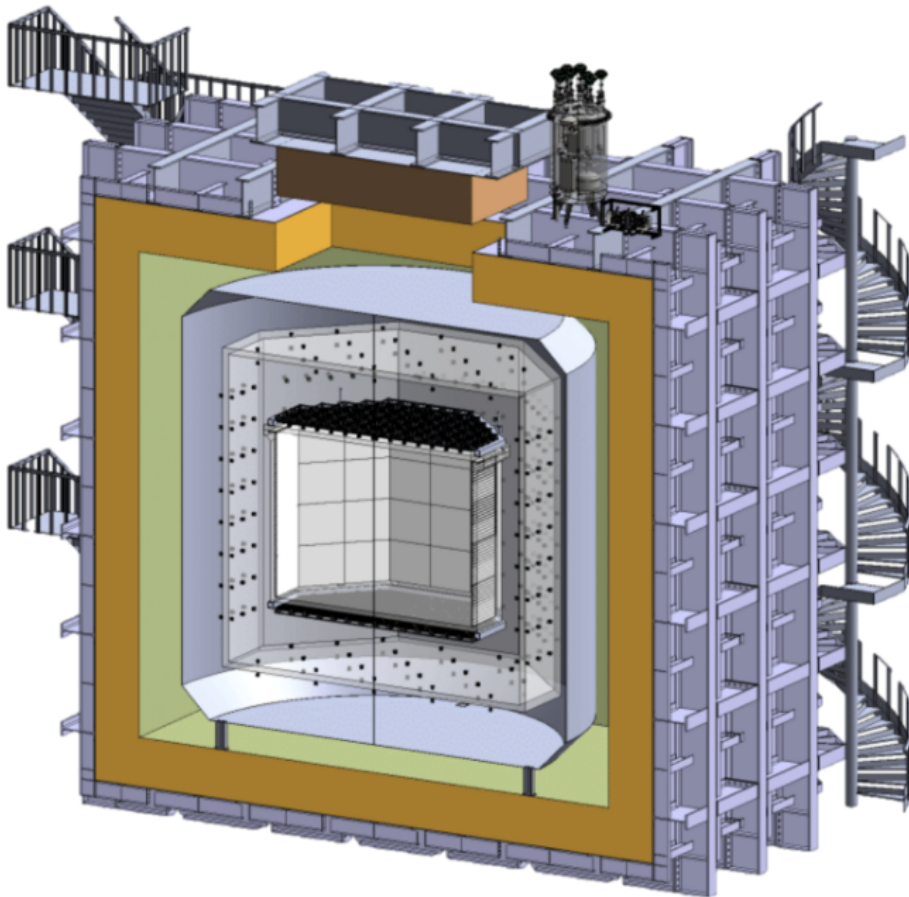


Figure 2.7 Illustration conceptuelle du détecteur DarkSide-20k [29].

Finalement, malgré sa complexité, le modèle standard demeure incomplet. La nature du neutrino et des *WIMP* reste un sujet d'actualité de la physique des hautes énergies. Afin de mettre en évidence ces phénomènes difficiles à détecter, la communauté utilise les gaz nobles liquéfiés depuis le milieu du vingtième siècle [3]. Ils proposent une solution parfaite pour créer des scintillateurs de grande taille tout en blindant des radiations externes.

Ils doivent cependant être maintenus à des températures très froides, ajoutant ainsi des contraintes sur les photodétecteurs et leur électronique frontale.

2.2 Photomultiplicateurs en silicium et instrumentation

Puisque la section précédente a présenté la physique et leurs détecteurs, il est maintenant possible de s'attaquer à la partie centrale de ce mémoire de maîtrise, les photodétecteurs et leur instrumentation. Plusieurs expériences de physique des particules utilisent comme scintillateur les gaz nobles liquéfiés qui génèrent une lumière ultraviolette (UV). Afin de les analyser et d'en étudier les propriétés, ces photons seront transformés en un signal électrique qui sera échantillonné pour que des ordinateurs s'occupent du traitement. Toute une variété de dispositifs permet d'accomplir la conversion photoélectrique, dont les tubes photomultiplicateurs, les diodes à avalanche et les photomultiplicateurs analogiques et numériques en silicium (*SiPM*). Cette section commencera par la présentation des critères de performance pour évaluer ces photodétecteurs. Par la suite, les photomultiplicateurs analogiques et numériques en silicium seront comparés, ainsi que l'instrumentation requise à leur bon fonctionnement respectif. Plusieurs exemples de dispositifs appuieront cette comparaison.

2.2.1 Critères de performance des photomultiplicateurs en silicium

Pour comprendre le fonctionnement des photomultiplicateurs en silicium, il faut d'abord expliquer la cellule de base qui les compose, la diode à avalanche monophotonique, mieux connue sous l'acronyme anglais *SPAD* (*Single Photon Avalanche Diode*). Ce dispositif, à la base des photodétecteurs rapides, offre une sensibilité suffisante pour la détection d'un seul photon. Ce comportement est illustré à la Figure 2.8. Correspondant au point A sur la courbe IV, cette diode est polarisée au-dessus de sa tension de claquage dans un état métastable, en attente d'un photon. Lorsque ce dernier est absorbé dans la jonction de la diode, un fort courant d'avalanche sera initié (B). Par la suite, pour éviter d'endommager le dispositif, il sera rapidement étouffé (C) pour finalement retourner à sa polarisation initiale (A).

Le *SiPM* offrira un comportement différent en fonction de l'agencement matriciel utilisé. Avant de présenter les distinctions entre la version analogique et numérique d'un *SiPM*,

voici brièvement quelques critères de performance communs aux deux dispositifs. Une description plus complète se trouve dans [30, 31].

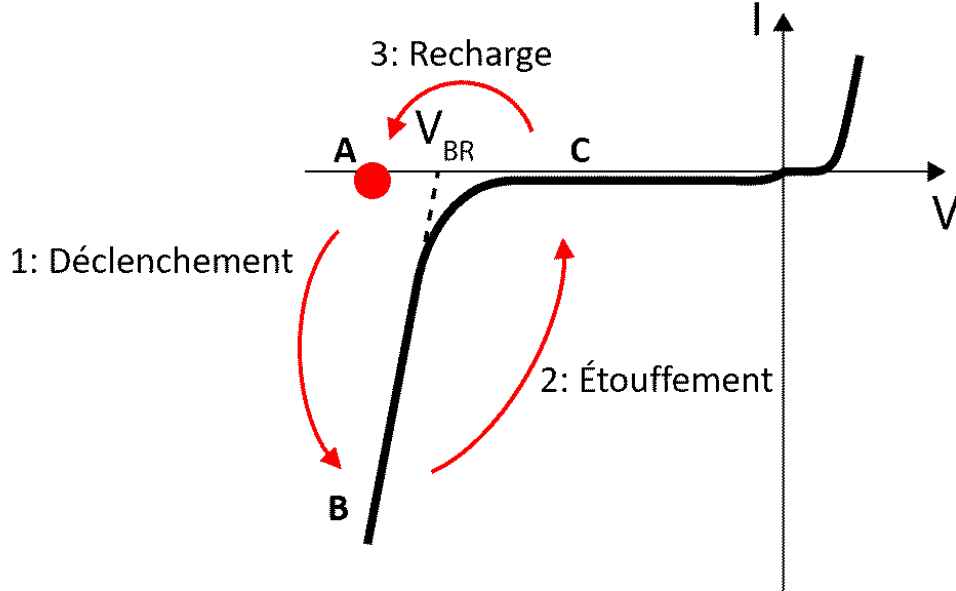


Figure 2.8 Points d'opération du *SPAD* sur une courbe IV.

Facteur de remplissage

Par sa constitution et sa géométrie, certaines zones du *SPAD* ne peuvent pas détecter de photons. Le facteur de remplissage exprime par le ratio de la surface photosensible sur l'aire totale.

Efficacité de photodétection

Trois éléments constituent l'efficacité de photodétection (*Photodetection efficiency - PDE*) : le facteur de remplissage photosensible (FR), la probabilité à déclencher une avalanche (PA) et l'efficacité quantique du *SPAD* (EQ). La probabilité à déclencher une avalanche dépend de la position d'interaction du photon et de la tension de polarisation du dispositif. La longueur d'onde du photon incident ainsi que la structure du *SPAD* influencent directement l'efficacité quantique et donc le *PDE* [32, 33]. Une bonne efficacité de photodétection importe grandement pour bien mesurer la signature d'événements rares.

$$PDE = FR \times PA \times EQ \quad (2.2)$$

Capacité de sortie

Le *SPAD* possède une capacité de sortie proportionnelle à sa taille. Selon l'équa-

tion 2.3, une plus grosse photodiode impliquera plus de charges à chaque avalanche, résultant ainsi en plus de bruit post-impulsionnel, en de la diaphonie optique [34] et en du bruit électronique [35]. La consommation de puissance augmentera pour une diode plus capacitive, puisque le courant de recharge sera plus important (équation 2.4). La résolution temporelle s'en trouve également affectée, puisque la pente du signal du *SPAD* s'avère moindre et plus susceptible au bruit (équation 2.5). Pour toutes ces raisons, la capacité de sortie doit être minimisée [36].

$$Q = C V \quad (2.3)$$

$$i = \frac{C dV}{dt} \quad (2.4)$$

$$\sigma_t = \frac{\sigma_V}{\frac{dV}{dt}} \quad (2.5)$$

Taux de comptage dans l'obscurité

Même en absence de photons, un *SPAD* possède un taux de comptage dans l'obscurité (*Dark Count Rate* - *DCR*) non nul, d'origine thermique. Cette valeur de compte n'inclut pas la contribution du bruit post-impulsionnel et de la diaphonie optique. Ce phénomène non désiré vient fausser le nombre de photons détectés. Pour un dispositif donné, le *DCR* diminue proportionnellement à la température.

Bruit post-impulsionnel

Les porteurs engagés dans une avalanche peuvent se retrouver piégés dans des défauts de la structure du silicium pour être relâchés après une période allant de quelques nanosecondes à plusieurs microsecondes. Habituellement exprimée comme un pourcentage du taux de comptage, cette durée augmente grandement à faible température. À ce niveau, certains dispositifs (*FBK-IRST*) ont vu ce ratio de bruit post-impulsionnel (*Afterpulse* - *AP*) s'accroître en cryogénie d'un facteur 8 par rapport à la température pièce [3].

Résolution temporelle

La résolution temporelle se définit ici par la fluctuation entre le temps d'arrivée du photon sur la jonction et le signal de charge collecté par le circuit de lecture. Pour certaines applications de temps de vol, la conception du système minimise cette va-

leur jusqu'à une dizaine de picosecondes [37].

2.2.2 Photomultiplicateurs analogiques en silicium

Les photomultiplicateurs analogiques en silicium intègrent une matrice de *SPAD* chacun étouffé passivement par une résistance (Figure 2.9a). La résistance en série permet d'abaisser la tension de polarisation lorsque le courant d'avalanche y circule pour étouffer la diode. Ces pixels sont connectés en parallèle, ce qui simplifie la conception du dispositif. Le facteur de remplissage atteint typiquement de 30 à 80 % en fonction de la taille des *SPAD* et des interconnexions. Une plus grosse diode offre une meilleure couverture [3].

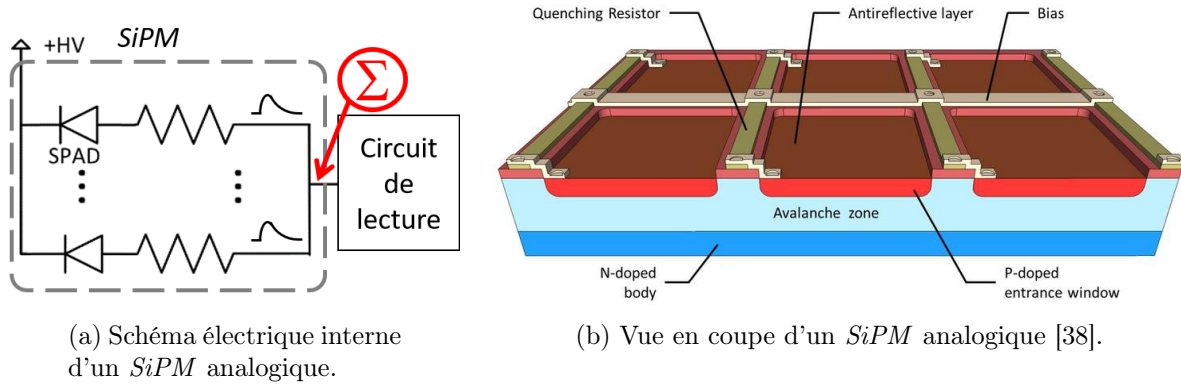


Figure 2.9 Schéma électrique et vue en coupe d'un *SiPM* analogique.

La simplicité de ce photodétecteur présente cependant quelques inconvénients. Il additionne la capacité de chaque branche, ce qui amène un plus haut niveau de bruit, puisque le bruit électronique s'avère proportionnel à la capacité. Le circuit de lecture doit alors consommer plus de puissance à son transistor d'entrée pour pallier ce bruit en excès, ce qui devient problématique pour couvrir de grandes surfaces. Cette capacité ralentit aussi le temps de montée pendant une détection à l'ordre de la nanoseconde [39]. D'autre part, les mécanismes aléatoires dans l'avalanche et les fluctuations de structure de la diode introduisent une variation de la charge de chaque *SPAD*. Alors que le nombre de pixels déclenchés devrait normalement créer un courant de sortie proportionnel, les fluctuations se cumulent quand plusieurs d'entre eux se déclenchent en même temps, rendant la somme des photons pour une lecture en énergie moins précise [9].

2.2.3 Utilisation des *SiPM* analogiques pour *nEXO*

Toutefois, les expériences de physique des particules utilisent grandement les photomultiplicateurs en silicium analogiques. Plusieurs fabricants en offrent : *Ketek*, *FBK*, *Hamamatsu*, *AdvanSiD*, *SensL*, *Broadcom*, *Philips*, *Excelitas*, etc. La Figure 2.10 et le Tableau 2.1 présentent quelques choix intéressants pour *nEXO* ainsi que leurs spécifications.

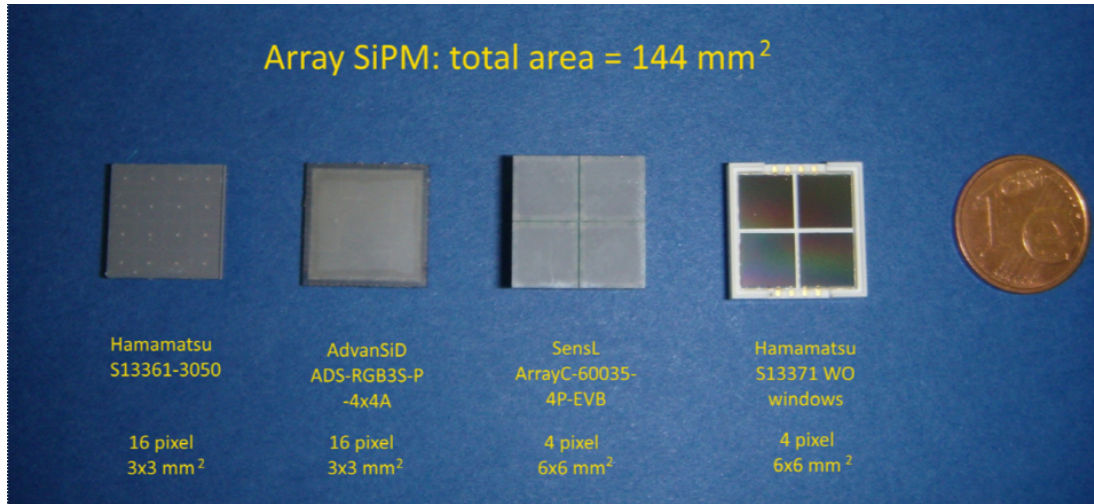


Figure 2.10 Photomultiplicateurs en silicium candidats pour les expériences dans le xénon liquide [8].

Tableau 2.1 Spécifications de *SiPM* utilisés pour les expériences dans le xénon liquide [8, 40–44].

	<i>FBK</i> <i>VUV-HD</i> (<i>LF</i> / <i>STD</i>)	<i>Hamamatsu</i> <i>S13371</i> sans fenêtre	<i>Hamamatsu</i> <i>S13361-3050-AE</i>	<i>SensL</i> <i>ArrayC-60035-4P</i>	<i>AdvanSiD</i> <i>ASD-NUV3S-P</i>
Taille des <i>SPAD</i> [μm^2]	30×30	50×50	50×50	35×35	40×40
Nombre de <i>SPAD</i>	~ 6300	13923	3584	18980	5520
Aire du pixel ¹ [mm^2]	3×3	6×6	3×3	6×6	3×3
Aire totale [mm^2]	$2 \times 2 \times 9 = 36$	$2 \times 2 \times 36 = 144$	$4 \times 4 \times 9 = 144$	$2 \times 2 \times 36 = 144$	$4 \times 4 \times 9 = 144$
<i>PDE</i> ² [%]	> 17 @ 175	> 15 @ 175 nm	40 @ 450 nm	> 31 @ 420	43 @ 420
Facteur de remplissage [%]	73	-	74	64	60
Bruit d'obscurité [kcps/ mm^2]	-	-	56	33	50
Gain (typique)	$0,5 \times 10^6$	$2,0 \times 10^6$	$1,0 \times 10^6$	$6,0 \times 10^6$	$3,6 \times 10^6$
Capacité de sortie [pF/ mm^2]	87	-	36	94	55

¹ Ici, une sous matrice de *SPAD* définit le pixel.

² Les dispositifs insensibles à 175 nm requièrent des convertisseurs de longueur d'onde.

La collaboration *nEXO* planifie employer des *SiPM* analogiques afin d'instrumenter le système de lecture de la scintillation du xénon. Le Tableau 2.2 présente leur requis pour le choix de photodétecteur à utiliser.

En tenant compte de ces spécifications, les photodétecteurs *VUV* de *FBK* et *Hamamatsu* sont les candidats les plus prometteurs. Des circuits d'amplification et de conditionnement permettent d'utiliser leur sortie analogique pour ensuite numériser le signal. Les applications comme *nEXO* requièrent un important compromis pour limiter la consommation de

Tableau 2.2 Résumé des paramètres de *SiPM* requis pour *nEXO*. L'italique représente les choix préférables, mais non obligatoires [36].

Parameter	Value
Photo-detection efficiency at 175-178 nm (without anti-reflective coating in gas/vacuum)	$\geq 15\%$
Radio-purity: ^{232}Th and ^{238}U	$< 10 \mu\text{Bq/kg}$
Dark noise rate at -100°C	$\leq 50 \text{ Hz/mm}^2$
After-pulse and cross-talk probability	$\leq 20\%$
Single photodetector active area	$\geq 1 \text{ cm}^2$
<i>Gain fluctuations and electronic noise</i>	$\leq 0.1 \text{ p.e.}$
<i>Single photon timing resolution</i>	$< 10 \text{ ns}$

puissance tout en gardant un ratio de signal sur bruit acceptable. La collaboration *nEXO* propose l'architecture de la Figure 2.11.

Les électroniciens ont conçu un prototype d'amplificateur de courant pour lire un *SiPM* avec une capacité allant jusqu'à 54 nF qui utilise le sixième des 100 W alloués pour un bruit de 0,13 photoélectron *RMS* [6]. Ce circuit permettrait de regrouper en parallèle 6 cm^2 de *SiPM FBK* ou 18 cm^2 de *SiPM Hamamatsu* pour une consommation d'environ 2,5 mW par module.

Obtenir une bonne uniformité du gain pour chaque amplificateur nécessite d'importantes précautions, notamment en ce qui concerne l'appariement. De plus, l'électronique doit garantir son comportement à la température d'opération dans le xénon liquide. La sortie de cet amplificateur peut ensuite être intégrée pour augmenter le ratio de signal sur bruit puis numérisée sur 12 bits.

Pour un événement $0\nu\beta\beta$, 7×10^4 photons seraient produit dans le *TPC*. Pour une efficacité de photodétection de 3 % sur 4,5 m^2 , cela équivaut à moins d'un photon par photodétecteur de 1 cm^2 . Or, pour un *DCR* de 50 cps/mm^2 , le taux d'événements du détecteur complet monterait à 225 MHz. L'utilisation d'un algorithme pourrait réduire la bande passante requise en sortie pour limiter la consommation de puissance liée à la transmission de données [6].

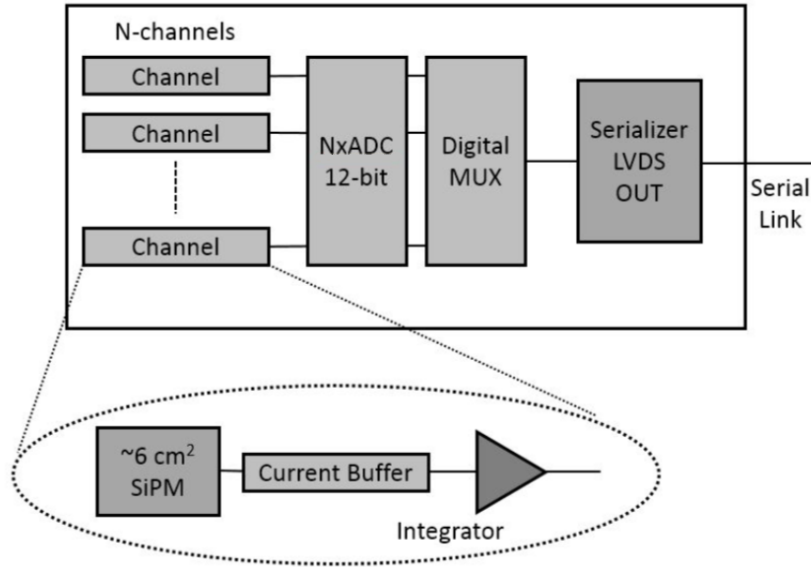


Figure 2.11 Architecture de lecture des *SiPM* analogiques pour *nEXO* [6].

2.2.4 Utilisation des *SiPM* analogiques dans l'argon liquide

Canci et al. [45] démontrent que le *SiPM* est un candidat adéquat permettant la discrimination par forme d'impulsion dans l'argon liquide. Dans cette preuve de concept, des équipements commerciaux lisent et traitent une matrice de 16 *SiPM Hamamatsu S11828-3344M* en parallèle. Un préamplificateur de charge *Canberra 2005* [46] se branche dans un amplificateur de spectroscopie *Ortec 672* [47]. Ce montage permet de discerner jusqu'à 3 photoélectrons. Un oscilloscope *LeCroy WavePro 735Zi* [48] numérise également la sortie des *SiPM* avec une période de 1 ns pendant 20 μs . Cette implémentation de la discrimination par forme d'impulsion dans l'argon liquide permet de distinguer des scintillations alpha (α) et gamma (γ).

En se basant sur les expériences antérieures [49], la collaboration *DarkSide-20k* [7, 50, 51] instrumentera 20 tonnes de *LAr* avec 5210 tuiles de *SiPM* de $50 \times 50 \text{ mm}^2$ sur 14 m^2 . Les spécifications des photodétecteurs de *FBK* utilisés sont présentées au Tableau 2.3. Ces modules de photodétection (*Photodetection Modules - PDM*) contiennent un amplificateur cryogénique afin de conditionner le signal près de la source. Une gestion de puissance intelligente offre la possibilité de désactiver les cellules endommagées. La puissance autorisée pour chaque module se limite à 250 *mW* ou 100 $\mu W/\text{mm}^2$. Le *PDM* doit couvrir une plage dynamique de 50 photoélectrons simultanés et donner une résolution temporelle de l'ordre de 10 ns sur le premier photon pour permettre le *PSD*.

Tableau 2.3 Spécifications des *SiPM FBK* pour *DarkSide-20k* [7].

	<i>NUV-HD-SF</i>	<i>NUV-HD-LF</i>
Taille des <i>SPAD</i> [μm^2]	25×25	25×25
Nombre de <i>SPAD</i>	25600	25600
Aire du <i>SiPM</i> [mm^2]	4×4	4×4
<i>PDE</i> ¹ [%]	50 @ 420 nm	50 @ 420 nm
Facteur de remplissage [%]	73	73
Bruit d'obscurité @300 K[cps/ mm^2]	< 150 k	< 100 k
Bruit d'obscurité @77 K[cps/ mm^2]	0,5	5×10^{-3}
Capacité de sortie [pF/ mm^2]	50	50

¹ Ces capteurs utilisent des convertisseurs de longueur d'onde au tétraphényl butadiène (TPB).

La collaboration a finalement produit un prototype de 25 cm^2 . Il consomme environ 170 mW pour une résolution temporelle de 16 ns, une plage dynamique de 100 photo-électrons. Le module offre un *PDE* de 45 % et un *DCR* de $0,004 \text{ cps/mm}^2$ [52]. Malgré ses performances intéressantes, ce module demeure assez encombrant (Figure 2.12).

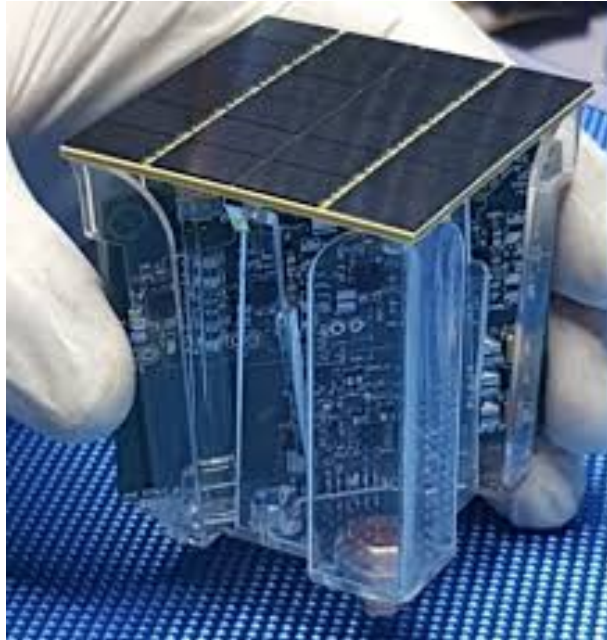


Figure 2.12 Module de Photodétecteurs pour *DarkSide-20k* [53]. Les *SiPM* sur le dessus, les circuits de lecture en dessous.

2.2.5 Photomultiplicateurs numériques en silicium

Même si les *SiPM* analogiques semblent attrayants, ils ne permettent cependant pas d'utiliser les *SPAD* à leur plein potentiel. Les parasites induits par les connexions parallèles, leur sensibilité à la température et au bruit électronique ainsi que la puissance requise pour les instrumenter représentent de bons exemples de limitations. Tirer profit de la nature numérique de la diode à avalanche monophotonique en la contrôlant directement et en la lisant le plus près du détecteur possible devient alors avantageux. La Figure 2.13 illustre une architecture typique pour les deux saveurs de dispositifs.

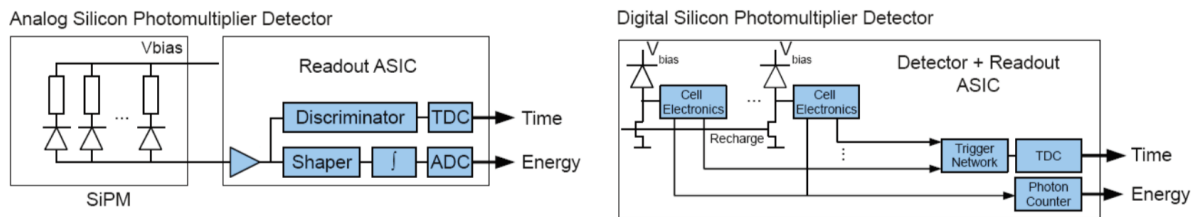


Figure 2.13 Comparaison d'architectures typiques de lecture pour un *SiPM* analogique (gauche) et numérique (droite) [54].

Le schéma de droite de la Figure 2.13 présente un aspect important de la version numérique : contrairement au *SiPM* analogique qui ne sort qu'un nœud commun où il faut intégrer la charge, l'électronique de lecture numérique peut accéder directement au signal de chaque *SPAD*. Un comparateur ou un inverseur logique par pixel donne alors un niveau binaire [37, 55, 56]. Le circuit de lecture offre également une meilleure insensibilité aux variations en température en s'affranchissant de l'impact du gain du *SPAD* sur le signal de sortie [57, 58]. Des technologies de *CMOS* (*Complementary Metal Oxide Semiconductor*) en 180 nm ou en 65 nm par exemple, permettent ensuite d'implémenter une logique pixelisée beaucoup plus avancée autrement impossible avec les *SiPM* analogiques.

Alors que les photodiodes à avalanche opérées en régime Geiger alimentaient déjà plusieurs recherches dès le début des années 1970 [32, 59], les premiers dispositifs à utiliser des technologies *CMOS* intégrées datent du début des années 2000. Suite aux expérimentations avec les circuits d'étouffement passifs et actifs [55, 60, 61], Rochas et al. [62] proposent un détecteur monolithique réalisé en 800 nm avec une surface photosensible de 7 μm de diamètre. Ce *SPAD* s'étouffe et se recharge passivement par une résistance et un comparateur permet de reconnaître l'avalanche avec une résolution temporelle de 60 ps *FWHM*. Le même groupe [63] présente par la suite une matrice de 4×8 pixels avec un pas de 75 μm et un *DCR* moyen de 50 Hz par *SPAD* de 6,4 μm . Un multiplexeur sélectionne le pixel

à lire. Afin de réduire le niveau de bruit post-impulsionnel, les circuits d'étouffement incluent déjà des temps d'attente programmables. Ce dispositif a trouvé une utilisation pour l'imagerie 3D [64, 65]. Il consomme moins d'un milliwatt. Puis, ces circuits ont commencé à servir pour bâtir des systèmes plus complexes [66].

Par la suite, *Philips Digital Photon Counting* a mis en marché son dispositif de photomultiplicateur numérique en silicium soit le *Digital Photon Counter (DPC)* [67], conçu pour l'imagerie médicale et plus spécifiquement la tomographie par émission de positrons ou TEP. Ce compteur numérique de photons utilise une technologie *CMOS*. Il intègre quelques 8188 *SPAD*, leurs circuits d'étouffement et de la logique pour un facteur de remplissage de 50 % sur une surface de $3,3 \times 3,8 \text{ mm}^2$ [68]. L'architecture contient un convertisseur temps-numérique (*Time to Digital Converter - TDC*) avec une résolution temporelle de 20 ps en largeur à mi-hauteur, un compteur de photons pour la mesure en énergie, et un port *JTAG*¹ pour la configuration du dispositif [69]. Une horloge à 200 MHz s'occupe de synchroniser le système pour en sortir les données numériques. Ce dispositif consomme 600 mW pour une matrice de 16 puces [69]. Il s'intègre facilement à grande échelle et un *FPGA*² peut le lire directement [54, 70].

La possibilité d'activer ou de désactiver chaque *SPAD* pour les caractériser individuellement rend le *DPC* très intéressant. Frach et al. [67] démontrent que seulement 5 à 10 % des pixels contribuent de façon significative au *DCR*. Les désactiver permet donc d'obtenir un bruit dans l'obscurité d'environ 150 comptes par secondes par diode de 30 μm à 20°C. Le seuil du nombre de photons déclenchant le *TDC* peut aussi s'ajuster pour diminuer le temps mort lié au *DCR*.

Alors que plusieurs algorithmes peuvent limiter le *DCR* [67, 71, 72], les *SiPM* numériques aident également à réduire le bruit post-impulsionnel. Parmi ces méthodes [73–76], le contrôle de la durée du temps d'étouffement avant la recharge offre un bon exemple. Pour les expériences de physique des particules dans les gaz nobles liquéfiés, les *SPAD* présentent une probabilité d'*AP* jusqu'à plusieurs microsecondes. Une architecture numérique peut donc facilement ajuster ce réarmement.

La capacité de sortie des *SiPM* amène un gros problème pour couvrir de grandes surfaces avec un faible budget de puissance. Une approche hybride analogique/numérique résoudrait déjà ce problème. Nolet et al. [9] proposent une architecture (Figure 2.14) où une source de courant fixe à chaque pixel, activée à la détection d'un photon, génère le signal au lieu de la somme des charges des photodiodes. Cette méthode offre une meilleure uni-

1. *Joint Test Action Group*
 2. *Field Programmable Gate Array*

formité sur la matrice. De plus, chaque source de courant possède une capacité inférieure à celle du *SPAD* lui-même. Réaliser un *SiPM* avec une capacité de l'ordre de 3-4 pF/mm^2 contre les 36 pF/mm^2 pour *Hamamatsu* deviendrait alors possible [9].

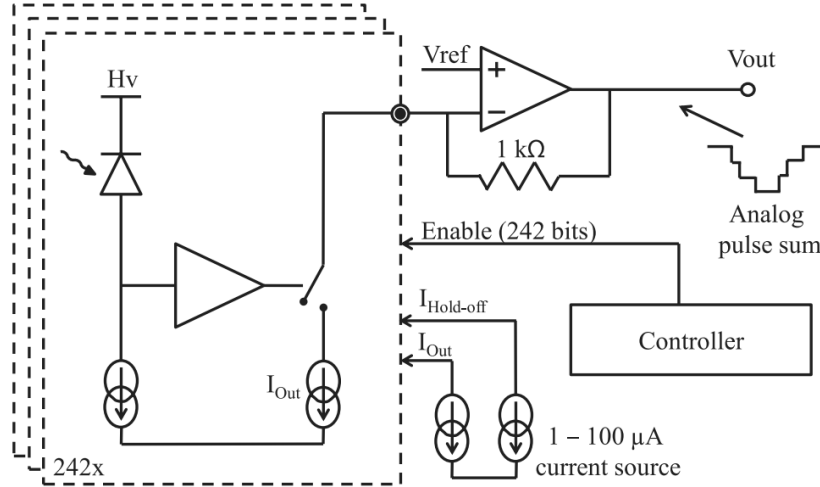


Figure 2.14 Architecture d'un *SiPM* hybride basée sur une source de courant par pixel pour une meilleure uniformité et une capacité de sortie moindre [9].

Pour être en mesure de rivaliser avec son homologue analogique dans le cadre des expériences de physique des particules, un *SiPM* numérique doit tout de même présenter certaines caractéristiques. Le *PDE* et le facteur de remplissage doivent subir une optimisation puisque les photons à collecter sont peu nombreux. Or, toute l'électronique et la logique embarquée prennent beaucoup d'espace. Le concept d'intégration en trois dimensions ou 3D devient alors nécessaire. Cette méthode d'assemblage permet d'opter pour une technologie optique idéale pour la fabrication des *SPAD* [34, 77, 78], en maximisant le ratio de la surface photosensible du détecteur. La taille de la technologie *CMOS* peut également être choisie en fonction des requis du système. Le Tableau 2.4, tiré de [79], résume les caractéristiques de quelques *3DdSiPM*³. Pour plus de détails, Bruschini et al. [80] proposent un résumé plus complet des dispositifs réalisés depuis 2003.

À cette liste s'ajoute le *Massachusetts Institute of Technology* (*MIT*) qui utilise également cette technologie pour ses imageurs lidars [88, 89]. Mais les photodétecteurs 3D introduits jusqu'à présent utilisent cependant tous un éclairage par la face arrière, c'est à dire loin de la jonction. Cette méthode facilite l'assemblage 3D, mais convient difficilement pour détecter le *VUV*, puisque le silicium absorbe rapidement ces rayons [90, 91].

3. *3D digital Silicon Photon Multiplier*

Tableau 2.4 Résumé et comparaison de l'état de l'art de quelques *3Dd-SiPM* [79].

	[81]	[82]	[83]	[84]	[85–87]
Couche du détecteur	<i>CMOS</i> 130 nm	<i>CMOS</i> 130 nm	<i>CIS</i> ³ 65 nm	<i>CIS</i> ³ 65 nm	<i>CIS</i> ³ 45 nm
Couche électronique	<i>CMOS</i> 130 nm	<i>CMOS</i> 130 nm	<i>CMOS</i> 40 nm	<i>CMOS</i> 40 nm	<i>CMOS</i> 65 nm
Aire active [μm^2]	28,3	28,0	27,6	250,7	122,7
Facteur de remplissage [%]	-	23,3	45,0	74,4	jusqu'à 60,5
Bruit d'obscurité [cps/mm ²] ¹	265,34×10 ⁶	1,3×10 ⁹	391,3×10 ⁶	2,5×10 ⁹	55,4×10 ⁶
<i>PDE</i> ² [%]	11 @ 725 nm	13 @ 700 nm	27,5 @ 640 nm	29,5 @ 660 nm	31,8 @ 600 nm
Nombre de pixels	1600	1 x 400	128 x 120	-	256 x 256

¹ Mesuré à température pièce.² Ces dispositifs ne sont pas conçus pour détecter le *VUV*.³ *CMOS Image Sensors*.

Afin de remédier à la situation et en tirant profit de ses premières expériences, le Groupe de Recherche en Appareillage Médical de Sherbrooke (GRAMS) travaille sur un nouveau procédé de *SPAD* avec un collage 3D sur du *CMOS*. L'électronique *CMOS* développée au paravent visait à obtenir la meilleure résolution temporelle pour l'imagerie médicale. Le Tableau 2.5 résume les caractéristiques de deux de ces puces.

Tableau 2.5 *3DdSiPM* du GRAMS.

	[92]	[37, 93]
Couche du détecteur ¹	<i>CMOS</i> 800 nm	<i>CMOS</i> 800 nm ²
Couche électronique	<i>CMOS</i> 130 nm	<i>CMOS</i> 65 nm
Aire active [μm^2]	50 × 50	50 × 50
Facteur de remplissage [%]	S.O.	S.O.
Bruit d'obscurité [cps/mm ²] ³	S.O.	2,8 × 10 ⁹
<i>PDE</i> ⁴ [%]	S.O.	8
Nombre de pixels	4 × 484	S.O.
Résolution temporelle [ps]	31	7,8

¹ La couche des détecteurs (*SPAD*) n'est pas assemblée.² Des *SPAD* 2D en 65 nm sont inclus.³ Mesuré à température pièce.⁴ Ces dispositifs ne sont pas conçus pour le *VUV*.

En conclusion, plusieurs efforts sont investis pour utiliser les *SiPM* pour la physique des particules. Bien que la version analogique s'avère plus répandue et plus facilement accessible sur le marché, son homologue numérique ne laisse pas sa place. Le traitement intégré à même le photodétecteur permet d'améliorer les performances des *SPAD* et de minimiser le besoin de composants externes supplémentaires dans la chaîne d'acquisition. La consommation de puissance peut ainsi diminuer de même que la sensibilité à la température.

2.3 Électronique numérique propre aux *SiPM*

Les applications de la physique des particules et de la TEP requièrent souvent d'obtenir l'étampe de temps des événements ainsi que leur énergie. Les *SiPM* numériques, en plus d'inclure un circuit d'étouffement et de lecture pour chaque pixel, permettent d'intégrer directement ces fonctionnalités. Le choix peut s'arrêter sur différentes technologies de *CMOS*. Les nœuds plus avancés offrent des transistors aux dimensions beaucoup plus faibles avec de meilleures performances alors que les technologies plus anciennes s'avèrent moins dispendieuses [94–96]. La présente section se concentrera sur la logique introduite dans les *SiPM* numériques en commençant par les circuits de déclenchement et l'obtention des étampes temporelles pour ensuite traiter de l'addition des photons.

2.3.1 Détection des photons et étampe temporelle

Plusieurs stratégies existent pour trouver l'étampe de temps d'un événement. Dans sa matrice de photodétecteur pour la TEP, le GRAMS a choisi d'utiliser un convertisseur temps-numérique (*Time to Digital Converter* - *TDC*) par pixel [97, 98]. Permettant d'obtenir une résolution temporelle de 18 ps *RMS* sur la matrice, ce système nécessite une horloge de 250 MHz en continu, ce qui engendre une forte consommation de puissance. Une autre approche consiste à utiliser le même *TDC* pour plusieurs pixels [72, 99]. De l'électronique supplémentaire, avec une faible gigue temporelle, devient alors nécessaire entre les pixels et le *TDC*. La littérature présente donc plusieurs méthodes pour combiner ces signaux.

Arbre de détection configuré en *H*

Pour obtenir la meilleure résolution temporelle, dans le cas où un seul *TDC* mesure plusieurs pixels sans connaître leur adresse ou leur position, le trajet de n'importe quel *SPAD* vers la sortie doit offrir un délai similaire. Comme les étampes de temps ne pourront être corrigées pour tenir compte des différences de longueur de chaque branche, cette erreur va se transformer en gigue temporelle. Mandai et al. [100] proposent un arbre en *H* tel qu'illustré à la Figure 2.15. Cette topologie présente une uniformité optimale pour des puissances de deux pixels. Contrairement à un arbre de distribution d'horloge où un même signal est acheminé à plusieurs endroits, cette approche part de plusieurs points pour se rendre à une sortie commune. Chaque intersection de l'arbre requiert une porte logique combinatoire. La sous-section suivante en présente donc quelques-unes.

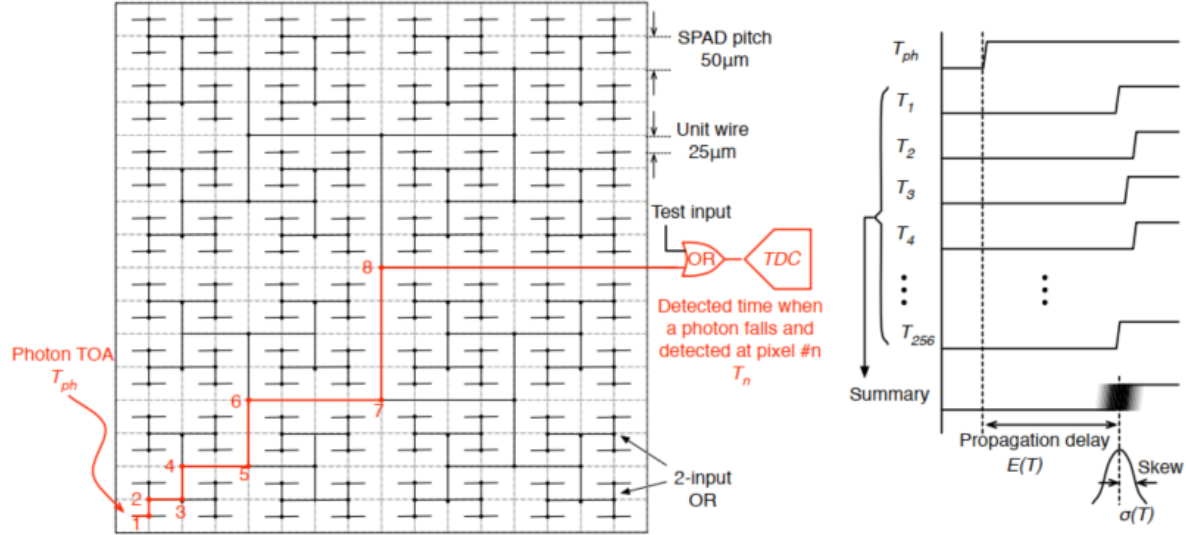


Figure 2.15 Réalisation d'un arbre en *OU* logique distribué en *H* pour uniformiser les délais de propagation entre chaque branche [100].

Arbre de détection basé sur de la logique combinatoire

Une première technique consiste à utiliser des portes logiques de type *OU* à deux entrées. La cellule peut être conçue sur mesure pour un meilleur appariement [100] ou employer celles qui proviennent d'une bibliothèque de pièces fournie par la fonderie de *CMOS*. Une largeur du pulse d'entrée minimisée limite le temps mort dû à la superposition de deux pixels.

Une autre méthode pour réduire le temps mort dépend d'une porte *OU exclusif* (*XOR*). À défaut d'utiliser l'état en sortie pour indiquer une détection, chaque transition, montante ou descendante sera considérée [101]. Cette méthode augmente cependant le niveau de complexité.

Certaines approches préconisent une logique câblée au lieu de portes logiques *CMOS*. Des topologies de type drain commun peuvent être employées [102]. L'objectif consiste à diminuer le temps de propagation pour produire des circuits plus rapides.

Enfin, pour ajouter de la flexibilité dans l'arbre de détection et introduire un filtre de bruit, Tabacchini et al. [103] ont réalisé une implémentation configurable en se servant de portes *OU* et *ET*. De cette façon, la sortie ne peut passer à un niveau haut que si plusieurs pixels font feu dans une courte fenêtre de temps.

2.3.2 Logique d'additions des comptes

Pour recueillir l'information de la signature énergétique d'un événement, le nombre total de photons incidents doit être mesuré. Différentes méthodes mènent à ce résultat.

Addition par additionneurs numériques

D'abord, la littérature contient plusieurs architectures de circuits d'addition. Ces circuits sont souvent comparés par le nombre de transistors nécessaires pour leur implémentation, par la puissance dissipée, par l'aire requise ainsi que par le délai de propagation entre le changement des bits d'entrées et le résultat en sortie. Le Tableau 2.6 présente quelques configurations.

Tableau 2.6 Comparaison des performances de différentes topologies d'additionneurs à 8 bits d'entrée dans une technologie *CMOS* 0,12 μm [104].

	Nombre de transistors	Dissipation de puissance (mW)	Aire (μm^2)	Délai (ns)
<i>Ripple Carry Adder (RCA)</i>	288	0,206	2214	4,208
<i>Carry Save Adder (CSaA)</i>	576	1,082	5904	2,924
<i>Carry Look-Ahead (CLA)</i>	272	0,312	2160	3,100
<i>Carry Increment Adder (CIA)</i>	342	0,261	2793	2,880
<i>Carry Skip Adder (CSkA)</i>	388	0,603	3486	3,022
<i>Carry Bypass Adder (CByA)</i>	372	0,459	3116	3,010
<i>Carry Select Adder (CSelA)</i>	600	1,109	6201	2,750

Avec beaucoup de bits en entrée, le temps requis pour accomplir le calcul peut s'avérer trop long pour une application donnée. Les systèmes synchronisés par une horloge peuvent utiliser une technique appelée pipeline. Au lieu d'effectuer une addition au complet en un cycle d'horloge, la somme se divise en sous-étapes par des bascules. Par exemple, une somme en deux étages aura une latence de deux périodes pour une fréquence d'opération qui sera augmentée par deux [105].

Addition par compteurs numériques

Le compteur série dispose d'une entrée qui permet d'incrémenter son registre à chaque front montant d'un signal. Il est constitué de bascules en cascade. La quantité employée détermine sa valeur maximale de compte. En définissant N comme le nombre de bascules, l'équation 2.6 expose cette valeur maximale.

$$\text{Compte maximum} = 2^N - 1 \quad (2.6)$$

Ce type d'implémentation ne possède qu'une entrée. Une somme sur plusieurs pixels requiert un arbre de logique combinatoire tel que présenté à la section 2.3.1. Ces arbres ne permettent pas de distinguer plusieurs pixels déclenchés au même moment.

Le compteur parallèle offre donc une alternative intéressante. Ce circuit à plusieurs entrées d'un bit indique combien d'entre elles s'activent. Le nombre de bits nécessaires en sortie suit la quantité d'entrées par un logarithme en base 2 [106, 107].

Addition par compteurs quasi numériques

Cette approche consiste à sommer des courants. Lorsque déclenchée, chaque entrée active une source de courant fixe. Un convertisseur analogique-numérique échantillonne par la suite le tout pour produire le résultat [107].

Addition par circuits asynchrones

Afin de réduire la consommation de puissance de l'addition et de retirer la dépendance à l'horloge, certaines approches proposent des circuits asynchrones [108]. Basée sur une structure de requête et de confirmation, une requête démarre la somme et la fin du calcul arrive par la suite. Ce temps de calcul varie donc selon l'état des signaux d'entrée.

Pour conclure cette section, les *SiPM* numériques permettent d'inclure plusieurs fonctionnalités à même le photodétecteur. Parmi ces circuits, on en retrouve pour obtenir l'étampe temporelle des photons ainsi que la mesure en énergie ou le total de photons. Chaque implémentation offre ses avantages en fonction de l'application. Ici, pour une application à faible puissance, un *TDC* externe réduit la consommation au lieu d'en utiliser un à chaque photodétecteur. La puce doit alors combiner les signaux de chaque pixel en introduisant le moins de gigue temporelle possible. Puis, pour obtenir la somme dans un environnement où les photons demeurent rares et où chacun d'eux compte, un additionneur ou compteur parallèle offre donc un choix supérieur au compteur série. Le chapitre suivant révèle de plus amples détails sur les choix de conception.

CHAPITRE 3

CONCEPTION

Ce chapitre présente la conception de l'électronique numérique de lecture pour une matrice de *SPAD* dédiée à la physique des particules. Il débutera par une brève récapitulation des requis du dispositif. Par la suite viendront les sections de l'architecture numérique, soit le circuit d'étouffement, l'arbre de détection des photons (*flag*), la synchronisation et l'addition des comptes, leur mise en mémoire et leur transmission. Enfin, les structures de test et l'intégration seront exposées.

3.1 Spécifications et requis

Les expériences introduites au chapitre précédent amènent à produire une liste de requis. Deux modes d'opération distincts permettent de remplir les besoins pour *nEXO* et pour la discrimination par forme d'impulsion dans l'argon liquide. Un seul circuit intégré couvrira ces fonctionnalités présentées au Tableau 3.1.

Tableau 3.1 Requis du *dSiPM* à concevoir.

	<i>nEXO</i>	<i>PSD</i>
	Scintillation <i>LXe</i>	Scintillation <i>LAr</i>
Granularité [mm^2]	$< 20 \times 20$	$< 20 \times 20$
Période d'échantillonnage [ns]	500	1-10
Temps d'intégration [μs]	0,1	1-20
Bruit d'obscurité [cps/ mm^2]	50	0,1
Puissance permise [μW]	250	S.O.
Température d'opération [$^{\circ}C$]	-110	-185
Taille des <i>SPAD</i> [μm]	50	50
Facteur de remplissage ¹ [%]	80	80
Résolution temporelle ² [ps <i>RMS</i>]	S.O.	< 250

¹ Ratio entre la zone photosensible et la taille du circuit intégré.

² Résolution atteinte sur la détection du premier photon.

La technologie *TSMC* 180 nm *BCD*¹ permettra de réaliser le circuit de lecture. Le GRAMS a déjà utilisé cette saveur de *CMOS* par le passé [109, 110]. La taille des transistors de 180 nm offre un bon compromis entre son coût abordable et la surface de silicium nécessaire pour implémenter les fonctionnalités requises. L’option *BCD* se justifie pour l’intégration des structures à haute tension jusqu’à 70 V, notamment pour l’interface des *SPAD* ou pour la distribution de puissance [111].

Pour ce qui est de la dimension du dispositif, un des objectifs secondaires demande de s’approcher de la taille des photodétecteurs commerciaux existants. Une surface photosensible légèrement plus faible de 25 mm² devient le point de départ pour optimiser le facteur de remplissage tout en obtenant un rendement de fabrication intéressant.

3.2 Circuit d’étouffement

Réalisé dans le cadre d’un projet de maîtrise d’un collègue, le circuit d’étouffement du pixel agit à titre d’interface entre le *SPAD* et le reste de l’électronique numérique. Il s’assure de détecter l’avalanche, d’arrêter le courant du *SPAD*, pour enfin le recharger après un temps d’attente ajustable. Cette électronique analogique possède un plot d’interconnexion 3D pour l’intégration avec la couche de photodétecteurs. Trois sorties complémentaires représentent le régime de ce dernier (Figure 3.1). La première prend un niveau logique binaire haut au repérage d’un photon et garde l’état jusqu’à la fin de la recharge du pixel. Elle est acheminée vers la somme numérique en vue d’effectuer la mesure en énergie. Le deuxième signal, d’une durée réglable, mais beaucoup plus courte, indique une détection. Cette interruption qui provient de chaque pixel sera combinée pour former l’arbre de détection des photons (*flag*). Enfin, la troisième sortie est une source de courant ajustable en amplitude jusqu’à 30 μA . Cette source est activée par le circuit d’étouffement et permet d’accomplir une somme analogique telle que présentée dans [9].

Le pixel contient également la logique supplémentaire suivante. Des registres de configuration permettent d’activer chaque pixel individuellement. L’attente avant la recharge peut être réglée pour diminuer le bruit post-impulsionnel. La modification du temps de recharge laisse de la flexibilité quant à la capacité du *SPAD* qui sera assemblé en trois dimensions. Enfin, minimiser la durée du signal d’interruption limite le temps mort à la sortie de l’arbre de détection des photons. La mémoire numérique fixe ces trois durées.

1. *Bipolar-CMOS-DMOS*

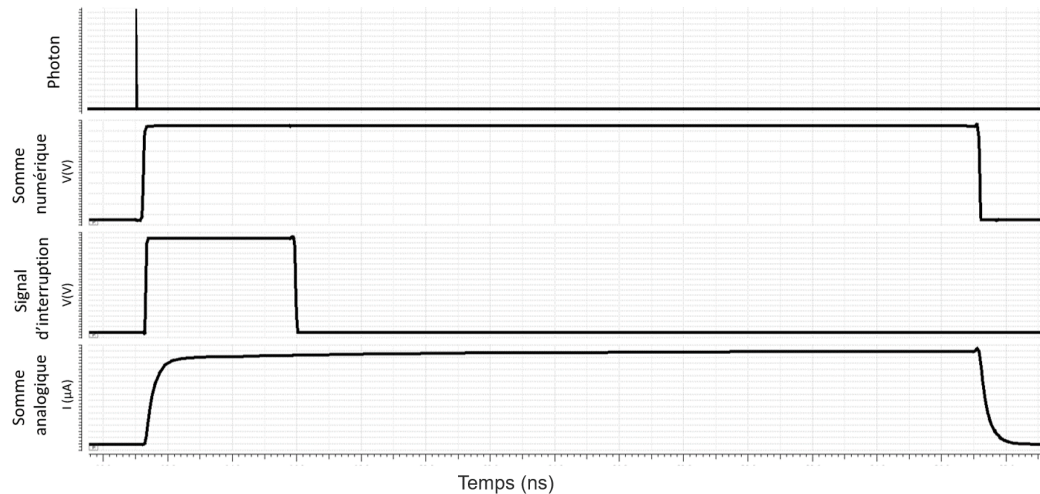


Figure 3.1 Chronogramme simulé des trois signaux de sortie du circuit d'étouffement par rapport à l'arrivée d'un photon.

Dans les spécifications originales, une matrice de $5 \times 5 \text{ mm}^2$ aurait dû compter un pixel à chaque $50 \text{ }\mu\text{m}$, soit 10 000 au total. Cependant, la surface nécessaire pour inclure les circuits analogiques d'étouffement entraîne une augmentation du pas à $78 \text{ }\mu\text{m}$. Ce changement amène deux avantages. Premièrement, puisque la matrice comporte moins de pixels, soit 4096, l'espace de silicium requis pour implémenter les circuits d'étouffement et leur logique numérique se trouve réduit. Moins de densité d'interconnexions implique moins de congestion de routage. Deuxièmement, cette modification engendre une diminution de la consommation de puissance totale, car la puce possède moins d'électronique.

3.3 Flot numérique de conception

Outre le circuit d'étouffement, le reste de l'architecture demeure purement numérique. Une approche d'intégration numérique (*Digital-on-Top*) s'avère donc idéale pour brancher les 4096 pixels de la matrice. Cette méthode de conception permet de convertir du code *VHDL*² ou *Verilog* en un circuit intégré complexe à partir de bibliothèques de composants développées par les fonderies. Plusieurs phases permettent d'y arriver, soit la synthèse, le placement, le routage et enfin la validation. Chaque étape requiert des scripts sur mesure pour définir le résultat attendu. Plusieurs logiciels et outils informatiques aident à accomplir ces tâches. Une description plus détaillée du flot numérique de conception se retrouve à l'annexe B. L'élaboration de ce flot et la préparation des bibliothèques de composants ont représenté une partie importante du début de ces travaux de maîtrise.

2. *VHSIC Hardware Description Language*

3.4 Arbre de détection des photons

Pour ce circuit intégré, l'arbre de détection possède deux fonctionnalités distinctes. Il indiquera la présence d'un photon pour réveiller le système et commencer une acquisition. Cette mise en veille économisera de la puissance en absence d'événements. Le deuxième usage de ce signal permettra d'obtenir l'étampe de temps du premier photon par un *TDC* externe dans des applications de discrimination par forme d'impulsion. Pour lancer l'acquisition le plus tôt possible, l'architecture doit minimiser le délai moyen total. Puisque l'adresse du pixel déclenché n'est pas transmise, réduire la différence de temps entre la sortie de chaque circuit d'étouffement et celle de l'arbre devient aussi très important.

La conception de l'arbre de détection s'est réalisée en plusieurs phases en débutant par un code primaire relativement simple. Par la suite, plusieurs étapes d'optimisation ont bonifié l'implémentation. La première estimation n'imposait pas de contraintes. Les outils numériques décident donc quelles cellules de base utiliser, où les placer et comment les interconnecter. La Figure 3.2 illustre la disposition irrégulière et différente à chaque pixel des portes logiques qui forment l'arbre. À la suite de simulations, la Figure 3.3 représente les délais à partir de chaque circuit d'étouffement vers la sortie commune. L'agencement ne contient aucun motif et la Figure 3.4 montre ces délais sous forme d'un histogramme. Les délais varient approximativement entre 6 et 12 ns. Avec un écart type de la distribution de plus de 1 ns, cette solution ne respecte pas le critère des 250 ps *RMS*.

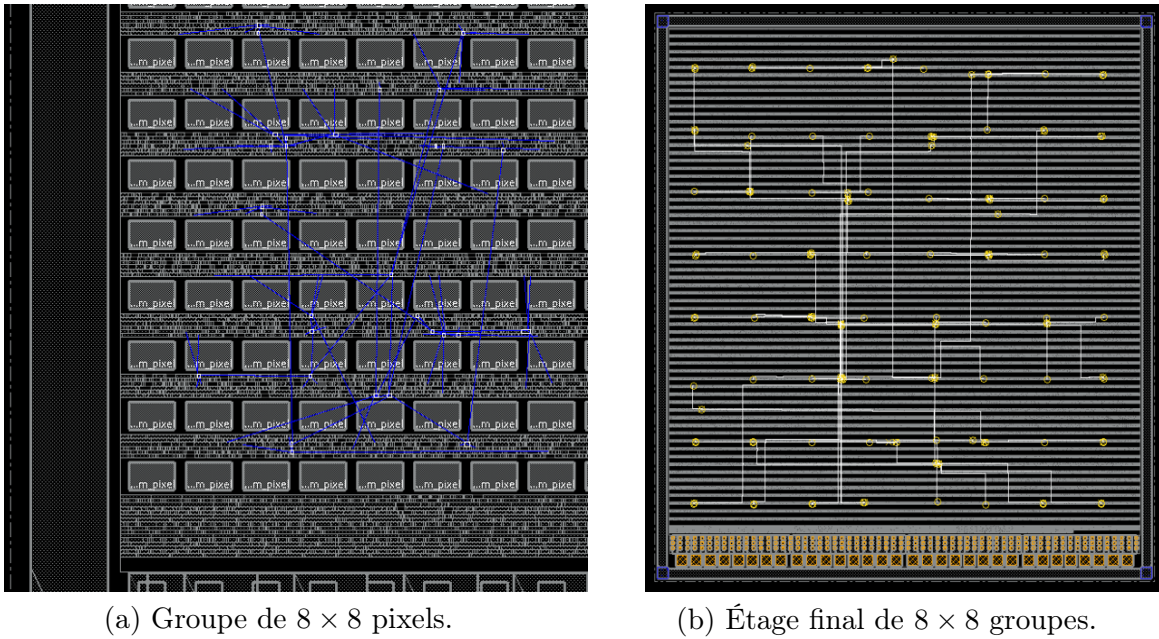


Figure 3.2 Placement arbitraire des cellules numériques sans optimisation.

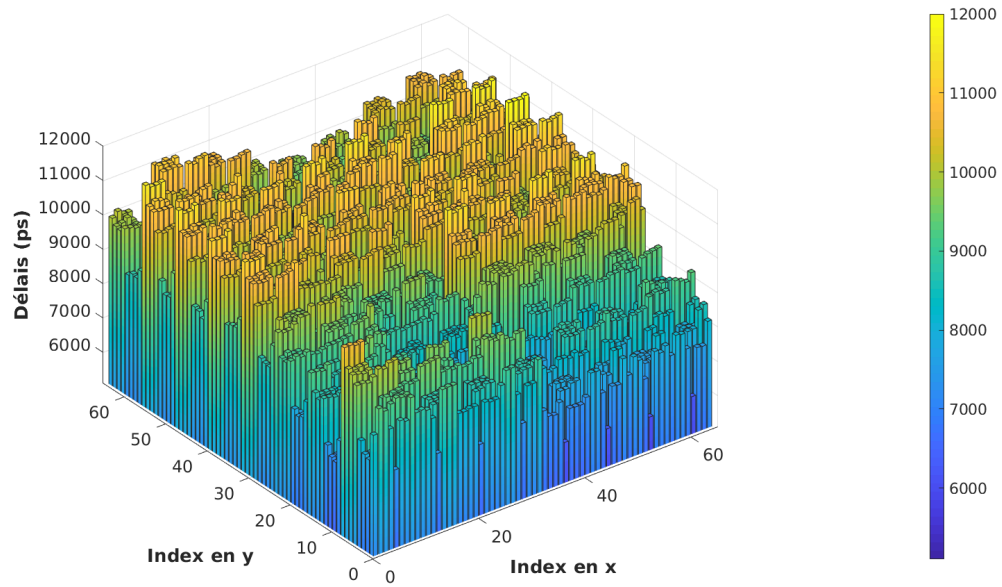


Figure 3.3 Distribution des délais par pixel sans optimisation. L'index $y = 0$, plus proche de la sortie, présente des délais inférieurs.

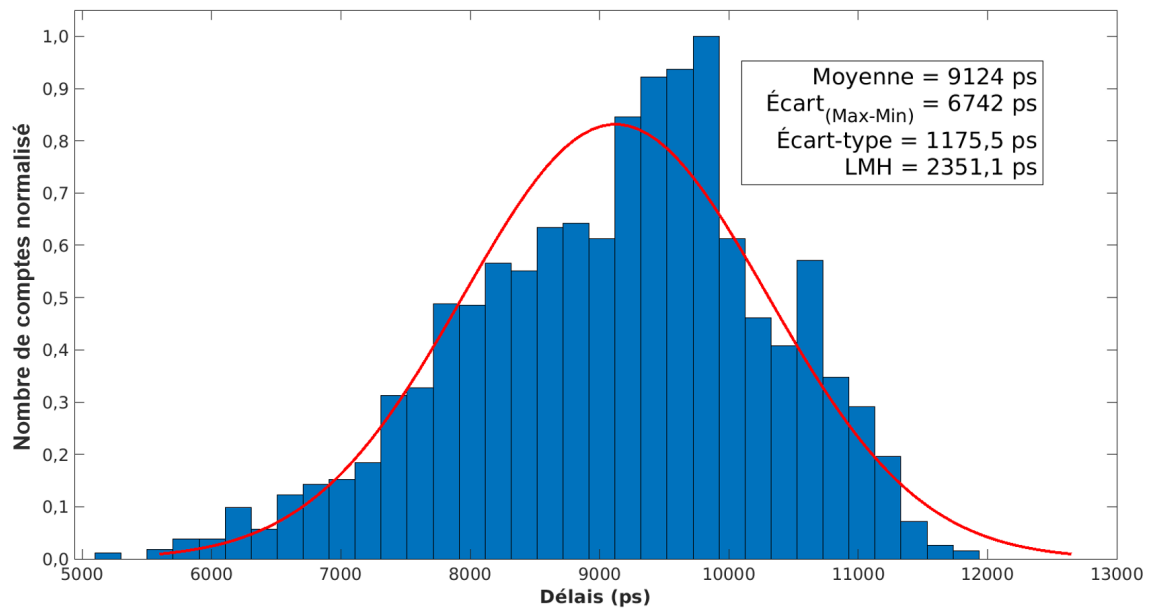


Figure 3.4 Histogramme de la distribution des délais par pixel sans optimisation.

Par la suite, ces valeurs de délais et la distribution par pixel servent à entamer l'optimisation. Or, les contraintes existantes dans les outils numériques sont conçues pour les circuits synchrones. Aucune ne permet d'indiquer que chaque chemin doit posséder le même délai de propagation avec une sortie commune. Avec un effort considérable pour poser des contraintes, une légère amélioration apparaît. Le délai moyen passe de 9,1 ns sans contraintes à 8,2 ns. De même, l'écart type de 1,1 ns diminue à environ 0,7 ns. Les Figures 3.5 et 3.6 présentent le résultat.

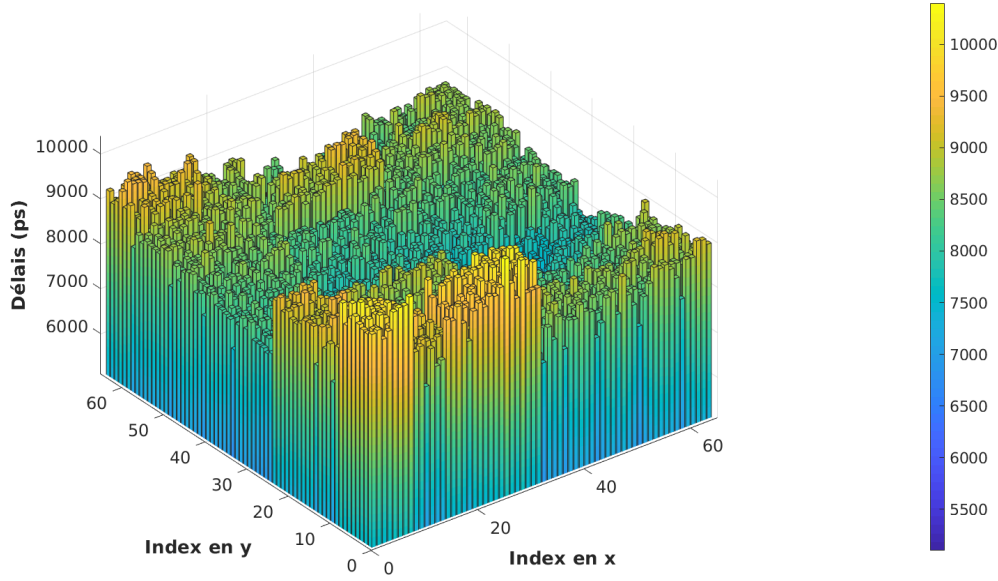


Figure 3.5 Distribution des délais par pixel légèrement améliorée avec les contraintes d'optimisation.

Cette répartition de délai ne s'avère toujours pas satisfaisante afin d'obtenir le requis de 250 ps *RMS*. Deux aspects formeront la nouvelle solution, soit le choix des portes logiques ainsi que leur positionnement dans la puce.

Pour commencer, l'élément combinatoire à chaque intersection possède un gros impact sur l'arbre de détection des photons. Une analyse manuelle des performances sur les cellules offertes dans la bibliothèque de composants aide à définir les meilleurs candidats. Le but consiste à trouver la configuration de portes logiques en *CMOS* permettant de minimiser la disparité de délai entre les différentes entrées et la sortie commune. L'étude compte trois paramètres. D'abord, un arbre constitué uniquement de portes *OU* est comparé à une version utilisant des portes *NON-OU* et *NON-ET* en cascade. La porte *OU* devrait présenter un délai total supérieur, causé par l'ajout d'un inverseur dans sa fabrication, en opposition à l'implémentation avec des portes *NON-OU* et *NON-ET*. Grâce au théo-

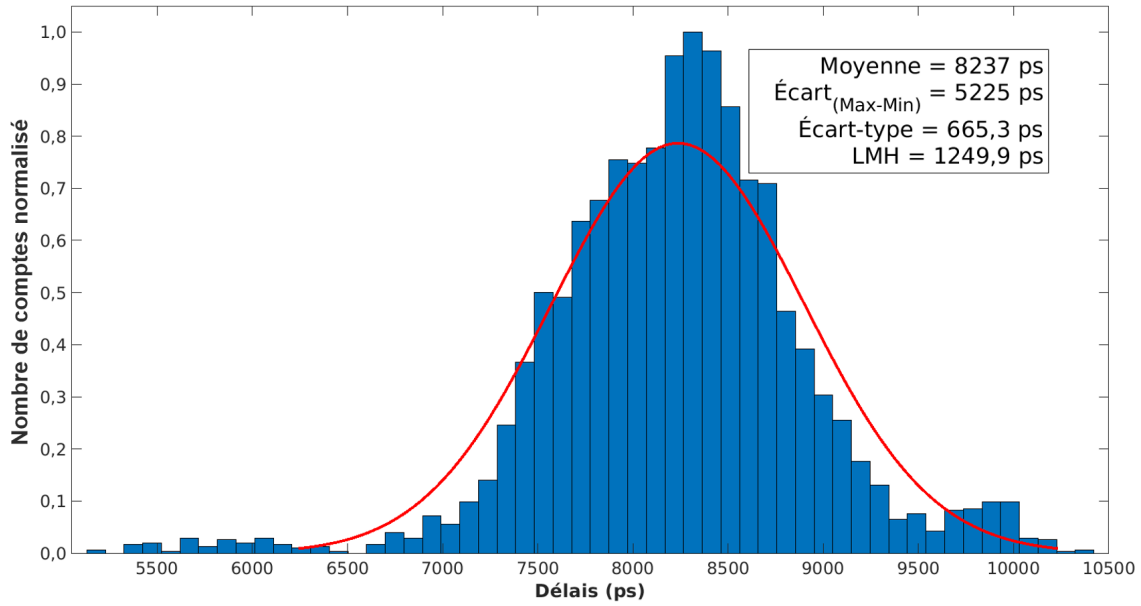


Figure 3.6 Histogramme de la distribution des délais par pixel avec l'optimisation.

rème de De Morgan [112], l'équivalence de ces deux architectures peut être démontrée (Figure 3.7).

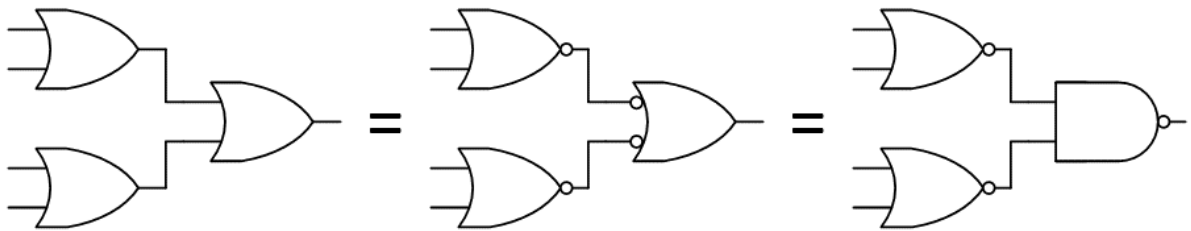


Figure 3.7 Démonstration de l'équivalence entre un arbre *OU* et *NON-OU/NON-ET*.

Ensuite, le nombre d'entrées par porte passe à l'étude, soit deux ou quatre. Un élément de base possédant quatre entrées nécessitera moins d'étages en cascade pour combiner les 4096 pixels qu'un autre à deux entrées selon la formule 3.1.

$$\text{Nombre d'étages} = \log_{(\text{nombre d'entrée par porte})}(\text{nombre d'entrées de l'arbre}) \quad (3.1)$$

Finalement, la puissance de pilotage (*Drive strength*) des cellules est le dernier facteur à observer. Le Tableau 3.2 présente les résultats de cette étude en classant les données par ordre croissant selon la colonne de la différence de délai entre les entrées. La porte

OU semble un candidat intéressant, mais exhibe un délai total de plus du double de la configuration implémentée avec des cellules *NON-OU* et *NON-ET*. La solution optimale consiste donc à utiliser cette combinaison pour des portes à deux entrées avec une puissance de pilotage X4.

Tableau 3.2 Évaluation des propriétés des cellules standards pour un arbre à 4096 entrées pour trouver les meilleurs candidats.

Nombre d'entrées par porte	Type de porte	Puissance de pilotage	Nombre d'étages requis	Différence de délai (ps)	Délai total moyen (ps)
2	OU	X4	12	91,8	830,7
		X2	12	102,7	895,9
	NON-OU/ NON-ET	X4	12	104,9	384,4
		X2	12	110,4	388,2
4	OU	X2	6	124,6	563,8
		X4	6	144,4	553,7
	NON-OU/ NON-ET	X2	6	337,3	428,0
		X4	6	338,0	445,1

Comme deuxième aspect, le positionnement de chaque cellule affecte l'appariement de chaque branche. Une structure en *H* tend à augmenter le délai moyen, mais permet d'uniformiser l'arbre de détection. Deux phénomènes viennent par la suite influencer directement le délai de propagation, la longueur des traces et la capacité parasite. Les interconnexions doivent donc être assorties le plus possible autant en longueur qu'en capacité. À longueur égale, deux trajets possédant des capacités différentes n'offriront pas la même charge à piloter par chaque cellule de l'arbre. Dans le souci du meilleur résultat, les portes sont sélectionnées manuellement et instanciées dans le code *VHDL* au lieu de se fier sur la synthèse numérique.

Puis, le placement dans la puce suit une structure en *H* en positionnant chaque cellule à mi-chemin entre ses deux entrées (Figure 3.8). Le routage effectué avant le reste des circuits moins critiques facilite le respect des contraintes grâce à l'espace encore disponible dans la matrice. La Figure 3.9 présente la distribution finale des délais simulés et la Figure 3.10 son histogramme. Ces valeurs contiennent les délais de propagation des portes logiques et des interconnexions.

Puisqu'une des entrées des portes possède un délai légèrement inférieur que l'autre, un motif apparaît sur la distribution de la Figure 3.9. À cause de la configuration en *H*, les pixels du coin inférieur gauche³ offriront toujours un délai plus faible que celles du coin

3. La coordonnée (1, 1) de la Figure 3.9

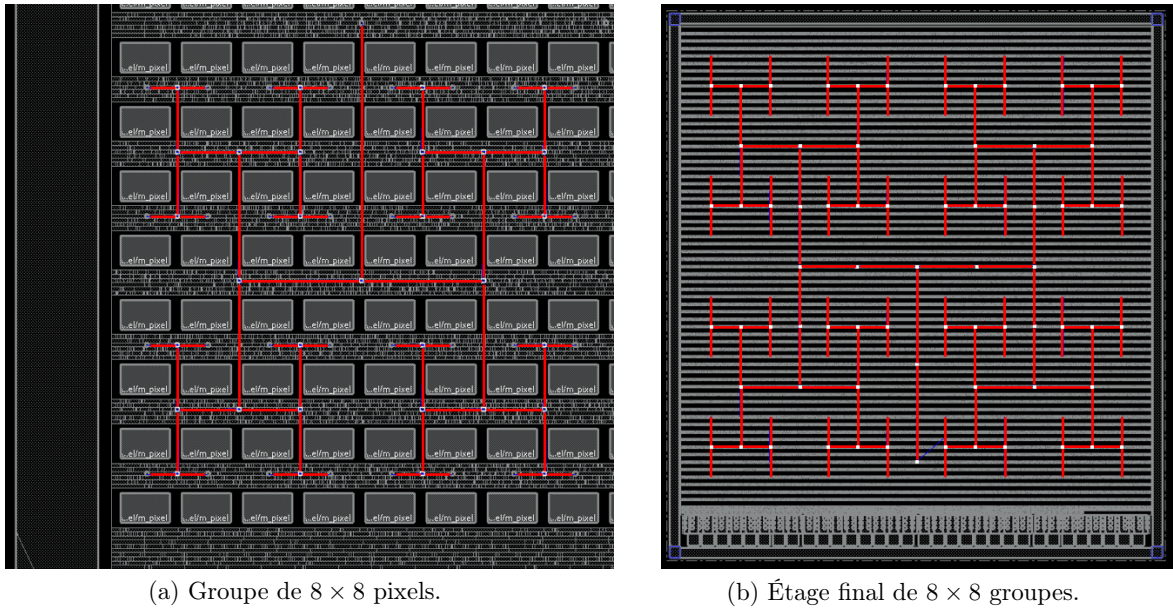


Figure 3.8 Placement manuel des cellules numériques dans une structure en H pour uniformiser les délais entre chaque pixel et la sortie.

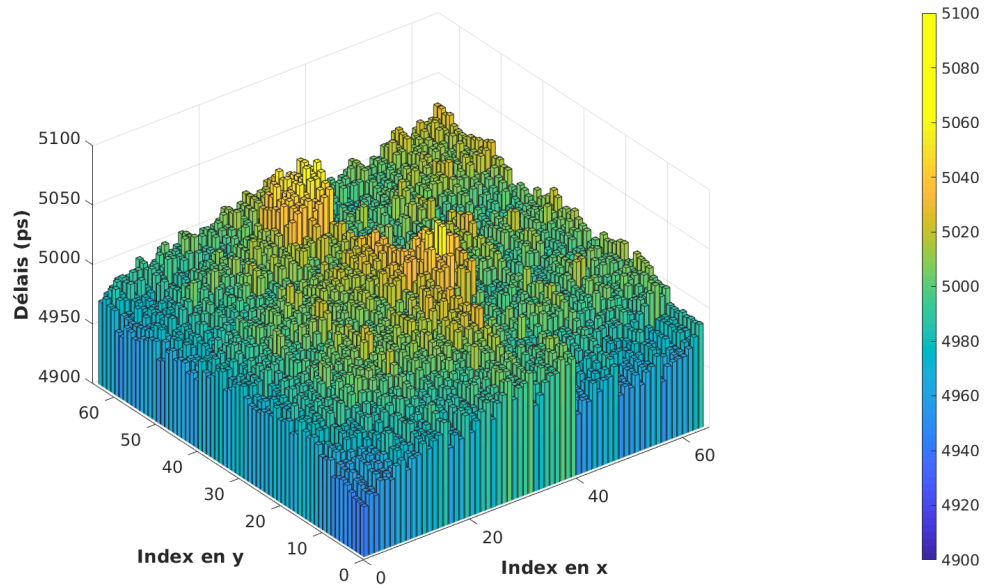


Figure 3.9 Distribution des délais par pixel avec un placement manuel. La différence en temps entre les deux entrées des portes logiques crée un motif.

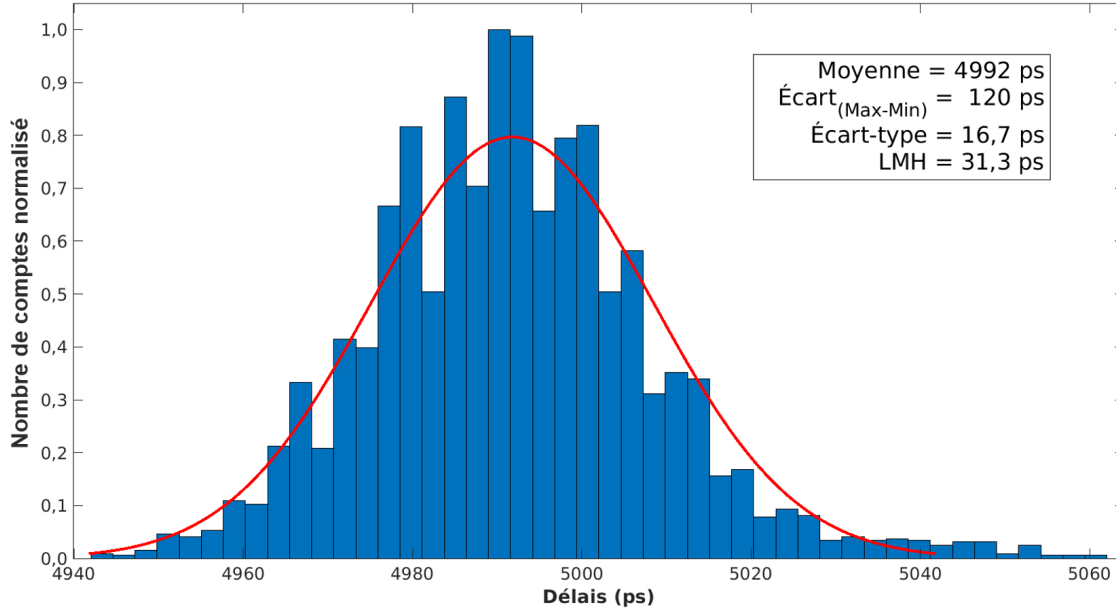


Figure 3.10 Histogramme de la distribution des délais par pixel avec placement manuel.

supérieur droit⁴. Cette solution permet d'obtenir un écart type de 17 ps *RMS*, ce qui suffit à l'atteinte du requis de 250 ps.

3.5 Addition des comptes

Afin de recenser chaque photon détecté, un circuit doit combiner la sortie de chaque pixel et offrir la quantité totale sur demande. Pour permettre à plusieurs *SPAD* de se déclencher en même temps sans perdre leur information, un compteur parallèle, supplantant un compteur série incrémenté par l'entrée d'un arbre en *OU* logique. La valeur de ce dernier n'augmenterait qu'une seule fois pour une détection simultanée de deux pixels. Le compteur parallèle quant à lui, offre une plage dynamique possible de 4096 photons [113], soit un photon par pixel. Le code *VHDL* rend l'implémentation de la somme numérique relativement simple. L'engin de synthèse a adopté une structure d'additionneur à sauvegarde de retenue (*Carry Save Adder*) et cette configuration s'est révélée satisfaisante.

À chaque cycle d'horloge, la somme numérique additionne la quantité de pixels déclenchés pour produire le résultat. Cependant, puisque le temps de calcul pour sommer 4096 pixels s'avère plus long que la période d'échantillonnage requise de 10 ns, la somme doit être

4. La coordonnée (64, 64) de la Figure 3.9

divisée en étapes pour former un additionneur en pipeline. La simple séparation en deux étages suffit à respecter les contraintes temporelles.

3.6 Synchronisation des pixels

La sortie du pixel présente un comportement purement asynchrone, c'est-à-dire qu'elle peut faire feu à n'importe quel instant par rapport à l'horloge de la puce. Un circuit de synchronisation à chaque pixel cadence la sortie des circuits d'éteuffement sur le seul domaine d'horloge du circuit intégré avant de l'acheminer vers la somme numérique. Pour éviter les comportements imprévisibles de la métastabilité, une topologie typique à trois bascules permet d'augmenter le temps moyen entre les défaillances⁵ [114, 115].

Cette synchronisation contient également deux modes de fonctionnement. Dans le premier, la sortie du pixel est directement synchronisée. Autrement dit, un niveau haut sera gardé tant et aussi longtemps que le circuit d'éteuffement patiente après une détection. Donc, pour un temps d'attente plus long que la période d'acquisition, le niveau haut restera actif sur plusieurs cycles d'horloge. Utilisé conjointement avec un temps d'attente élevé, ce mode permet d'attendre avant de lire l'état de la matrice et de capturer chaque pixel déclenché. Il sera référé sous le nom de synchronisation d'état. Le deuxième mode offre une sensibilité uniquement au front montant de la détection. Le niveau haut du synchroniseur continuera donc durant un seul cycle d'horloge, peu importe la durée du temps d'attente du pixel en entrée. Le choix du mode se contrôle par le signal *EN_PIX_MEM* sur la Figure 3.11 qui provient des registres de configuration. *ASYNC_IN* représente la sortie du circuit d'éteuffement, *CLK* correspond à l'horloge système, *CEN* active une acquisition et *Sync RST* remet à zéro l'état des bascules. Ce mode de synchronisation de transition compte chaque détection pour un pixel une seule fois, même pour un temps d'attente supérieur à la période d'acquisition. Le registre à un seul bit dans chaque pixel ne peut retenir si ce dernier se déclenche plus d'un coup dans un intervalle. Le temps d'attente requiert une longueur quatre fois plus grande que la période d'échantillonnage pour accommoder la synchronisation sans manquer une détection.

3.7 Mise en mémoire

Pour obtenir une meilleure résolution sur la discrimination par forme d'impulsion dans l'argon liquide, le circuit intégré doit opérer à sa fréquence d'horloge maximale de 100 MHz lors de l'acquisition des photons prompts. Cette grande vitesse ne laisse pas assez de temps

5. De l'anglais *MTBF* ou *Mean Time Between Failure*

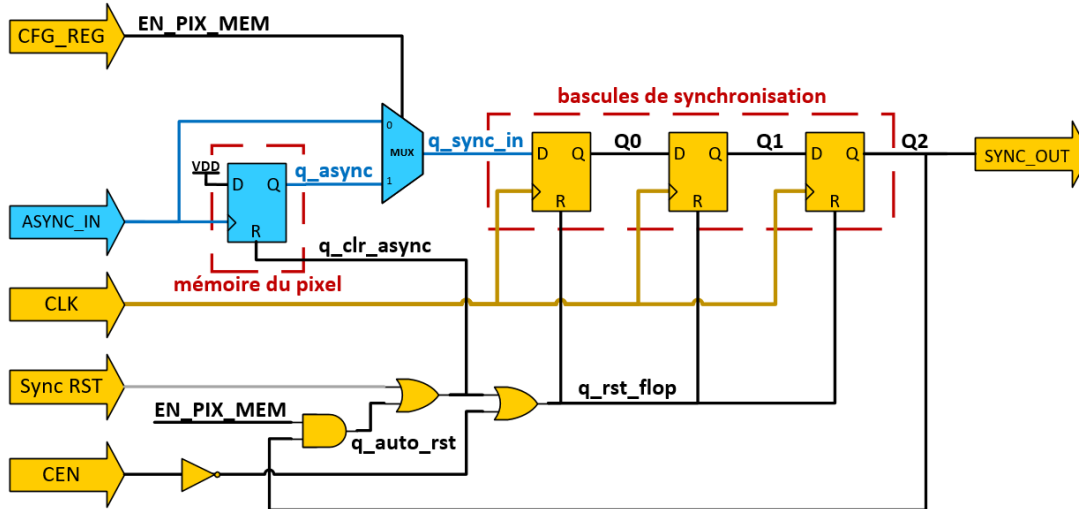


Figure 3.11 Circuit de synchronisation par pixel responsable des deux modes d'acquisition de la puce : synchronisation d'état et synchronisation de transition.

pour sortir le résultat de la somme au fur et à mesure. La solution consiste à enregistrer les comptes pour les transmettre à la fin d'un événement. Cependant, puisqu'une scintillation dure jusqu'à une dizaine de microsecondes, la mémoire nécessiterait une profondeur de plus de 1000 mots pour sauvegarder toute l'information. Une telle mémoire prendrait beaucoup trop d'espace à l'intérieur du circuit intégré. Un mode d'acquisition hybride remédie à la situation. Il numérise les photons prompts de la désintégration dans l'argon à chaque 10 ns. Puis, la période d'échantillonnage augmente à une centaine de nanosecondes. Une *FIFO*⁶ avec une profondeur configurable jusqu'à 128 mots de 14 bits permet de sauvegarder toute l'information pertinente. Le nombre d'échantillons rapides à 10 ns et lents se configure pour une plus grande flexibilité. La Figure 3.12 illustre un exemple de cette acquisition.

Cette *FIFO* contient elle-même deux modes d'opération. Au début de la scintillation, une section de la *FIFO* sert de tampon circulaire pour une acquisition rapide. Cette fonctionnalité peut être activée ou non et sa taille se programme entre 1 et 128 avec les registres de configuration. Elle permet de garder l'historique des comptes détectés avant le début d'un événement. Les nouvelles valeurs écraseront les plus anciennes jusqu'à la détection d'un véritable événement. Puis, la deuxième section de la *FIFO* enregistre les comptes suivants plus lentement jusqu'à se remplir complètement tout en préservant les comptes déjà sauvegardés. Cette mémoire non circulaire sera référée sous l'appellation de tampon linéaire.

6. *First In First Out*

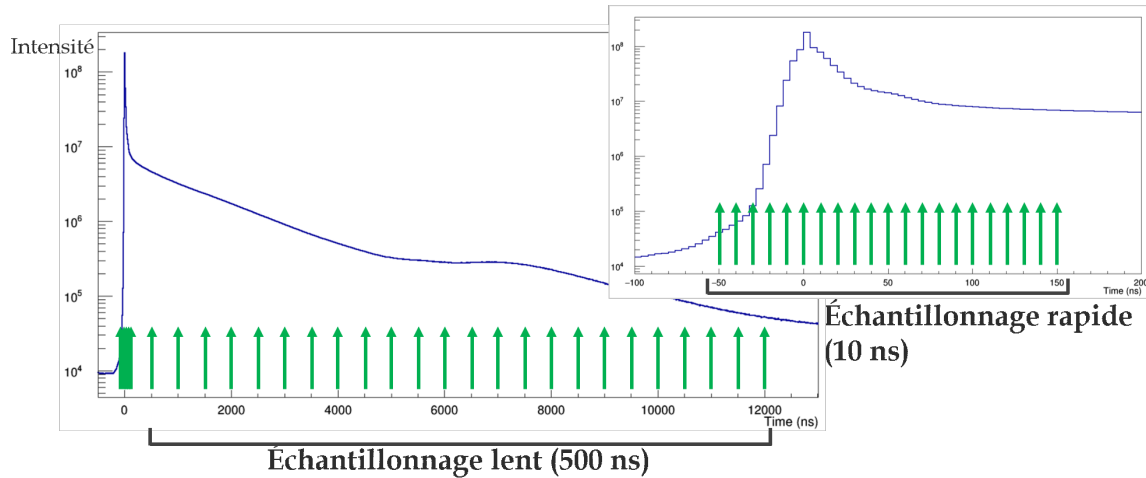


Figure 3.12 Acquisition de la scintillation dans l'argon liquide [116]. Démonstration des échantillonnages rapide et lent.

3.8 Configuration et transmission des comptes

La puce possède un lien de communication bidirectionnel pour la configurer ou pour transmettre des données. Pour diminuer le nombre d'entrées et sorties requises, le protocole en série surclasse le port parallèle. Cette communication cadencée par l'horloge système s'effectue sur demande par le signal *TRANSMIT_EN* fourni à l'*ASIC*. Les trames commencent par un bit de départ et se terminent avec un bit de fin. La configuration à envoyer au circuit s'étend sur 32 bits (Figure 3.13). Neuf bits d'adresse permettent de choisir le registre à programmer et seize bits en forment le contenu. Un contrôle de redondance cyclique (CRC) porte sur trois bits et deux autres sont gardés en prévision d'une prochaine révision.

CONFIGURATION REGISTER PROGRAMMATION TRANSMISSION PROTOCOL																															
START_BIT	RESERVED		ADDRESS								CONFIG																CRC			STOP_BIT	
			GROUP ADDRESS																												SUB GROUP ADDRESS
	1	0	6	5	4	3	2	1	0	1	0	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	2	1		0
MSB	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	LSB

Figure 3.13 Trame de configuration de l'*ASIC* sur 32 bits.

Pour envoyer les données, la *FIFO* commencera par vider le tampon circulaire, puis le tampon linéaire. Chacune de ces valeurs ne peut être transmise qu'une seule fois pour simplifier le système. Les paquets de 18 bits (Figure 3.14) sont constitués des éléments suivants. Le nombre de pixels déclenchés tient sur treize bits et un bit supplémentaire indique si la donnée provient du tampon circulaire (1) ou linéaire (0) (*BIN_MODE*). Un

algorithme de CRC sur deux bits aide à déceler les erreurs de communication. L'envoi des comptes par les bits les moins significatifs en premier permet d'arrêter la transmission de données avant la fin pour utiliser moins de bits par trame sans perdre d'information. Par exemple, dans une application où la quantité de photons détectés ne dépasserait pas 61, le signal *TRANSMIT_EN* pourrait couper la transmission en laissant uniquement 6 bits pour la somme. Économiser des bits diminue la consommation de puissance puisque moins de cycles d'horloge sont nécessaires.

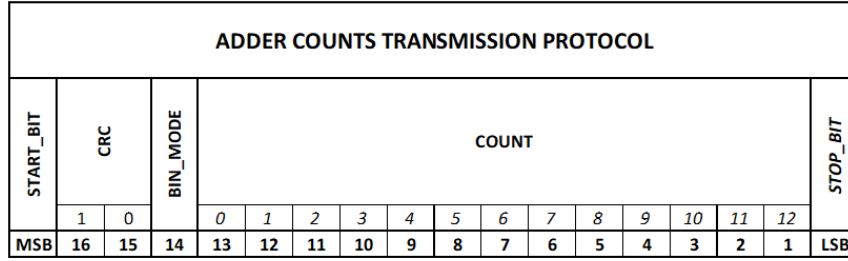


Figure 3.14 Trame de données de l'*ASIC* sur 18 bits. L'ordre inversé des bits permet de réduire au besoin la longueur de la trame.

3.9 Circuits de test

Puisque le développement des *SPAD* et du processus d'assemblage en trois dimensions n'est pas achevé, les éléments de test suivants permettront de valider le fonctionnement de la puce : un arbre de déclenchement, une lithographie pour déclencher les pixels, l'intégration de *SPAD* 2D en *CMOS* ainsi qu'une sortie de déverminage.

3.9.1 Arbre de déclenchement

Les *SPAD* et leur procédé d'assemblage en 3D ne sont pas prêts pour le collage sur la puce décrite dans ce mémoire. L'implémentation d'un arbre de déclenchement permet donc d'exciter les différents circuits pour les caractériser sans attendre pour les photodétecteurs. Un signal de test est acheminé à chaque pixel par un arbre pour les déclencher. Il se configure de deux façons : soit il interagit dans l'électronique frontale en vue de valider le bon fonctionnement du circuit d'étouffement, soit il excite directement l'arbre de détection des photons. La congestion dans la puce a rendu impossible l'optimisation pour minimiser le délai entre l'entrée et chaque sortie. L'outil de placement automatisé décide donc de l'emplacement afin de respecter les contraintes temporelles de l'horloge (Figures 3.15 et 3.16). Ce modèle numérique contient les délais des portes logiques et les interconnexions pour un écart-type d'environ 100 ps *RMS*.

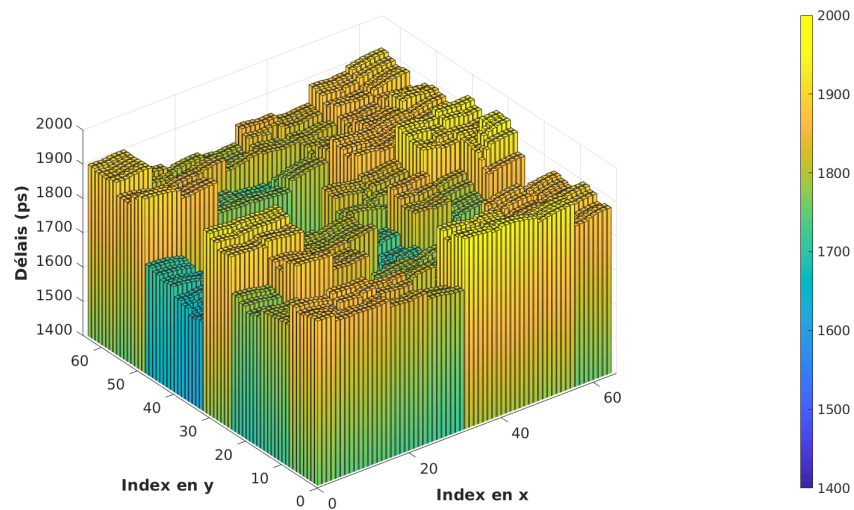


Figure 3.15 Distribution temporelle arbitraire de l'arbre de déclenchement. L'outil de placement automatisé est à l'origine du motif irrégulier.

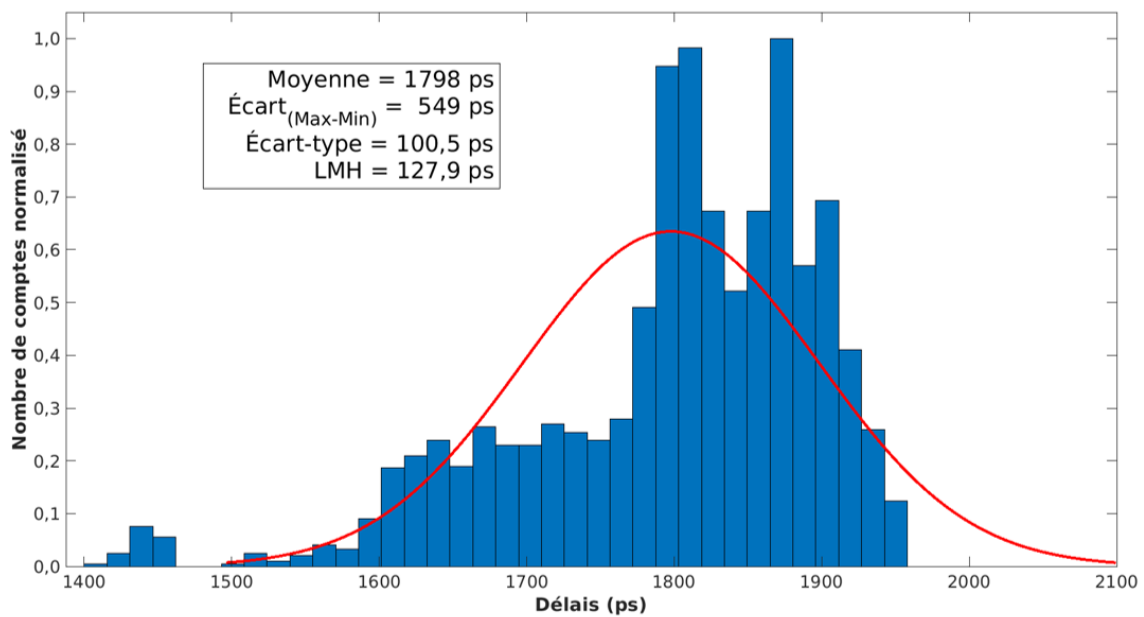


Figure 3.16 Histogramme de la distribution temporelle de l'arbre de déclenchement. Le profil non gaussien provient du placement automatisé.

3.9.2 Déclenchement des pixels avec une connexion réalisée en lithographie

À la suite des simulations temporelles de l'arbre de déclenchement, une solution prévue en dernier recours pour caractériser les pixels a été envisagée. Pour s'affranchir de l'importante contribution de l'arbre de déclenchement, une lithographie grossière pourrait raccorder les interconnexions 3D de chaque pixel à un même signal externe. En entrant par le métal ainsi déposé, tous les circuits d'étouffement actifs reliés vont se déclencher en même temps. Ces masques sont présentés à la Figure 3.17. Le premier motif en haut à gauche connecte les pixels ensemble et les trois autres masques associent les pixels en quatre groupes indépendants, soit par colonnes, rangées et en blocs. Une distance supplémentaire d'environ 500 μm entre la périphérie de la matrice et le métal à déposer facilite l'alignement et réduit la précision requise sur la lithographie.

3.9.3 Intégration de *SPAD* en 2D

L'arbre de déclenchement permet de caractériser les différents circuits. Cependant, il ne fournit pas un signal similaire à ce que les *SPAD* en 3D vont générer. Pour tester la puce dans un mode d'opération représentatif et réel, elle comporte une rangée de 61 *SPAD* intégrés en deux dimensions dans le *CMOS* avec chacun son circuit d'étouffement. Ils sont branchés aux plots d'interconnexion qui doivent normalement recevoir les *SPAD* en 3D. Une soumission précédente a déjà validé la saveur de *SPAD* en *CMOS* [110]. Ce *SPAD* de test (Figure 3.18) consiste en une anode de type p^+ . La cathode repose dans un puits de type n formé des masques suivants : *HVNw* (*high voltage n well*) et *DNw* (*deep n well*). L'utilisation du masque *GB* leur donne une tension de claquage de l'ordre de 50 V. Un puits p crée un anneau de garde (*guard ring*). Une bande de polysilicium entre le p^+ de l'anode et le n^+ de la cathode protège contre un claquage latéral. Un masque *RPO* permet d'ouvrir la métallisation normalement présente au-dessus de l'anode pour augmenter le *PDE*. Le diamètre de l'aire active du *SPAD* mesure 34 μm pour une surface d'environ 1026 μm^2 . Ils ont une taille totale de 78 μm afin de respecter le pas de la matrice. Ces dimensions donnent un facteur de remplissage de l'aire active d'approximativement 17 % par *SPAD*. Ce ratio semble faible, mais suffit pour recevoir des photons et tester la puce.

3.9.4 Sortie de déverminage

Une des sorties de la puce (*DBG_OUT*) sert au déverminage⁷. Plusieurs signaux différents s'y trouvent acheminés afin de les mesurer au besoin. Un multiplexeur numérique,

7. Une description plus complète des entrées et sorties se trouve à l'Annexe A.

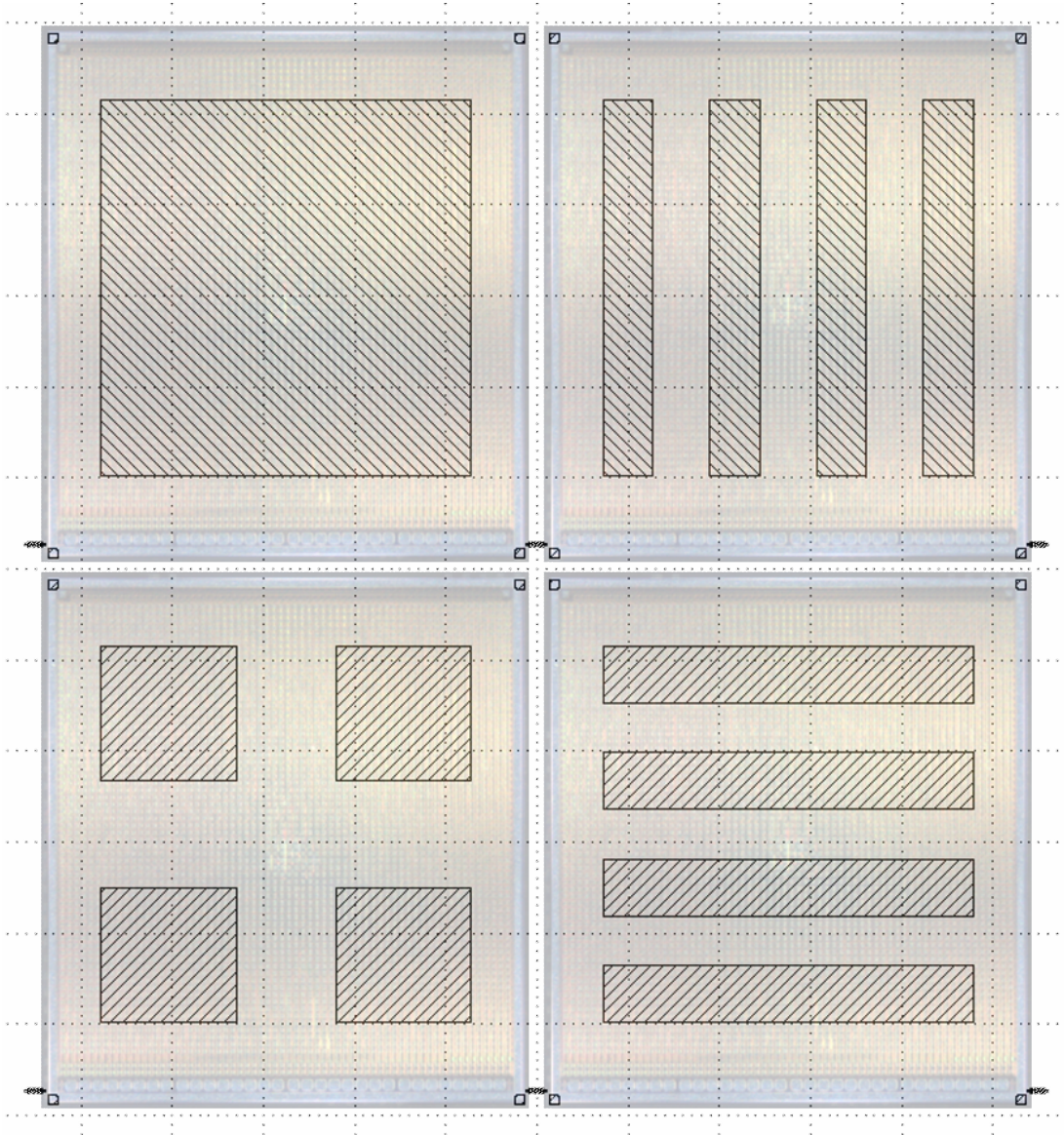


Figure 3.17 Lithographie à utiliser pour tester les pixels sans l'assemblage 3D des *SPAD* ou l'arbre de déclenchement. Quatre motifs à implémenter sur des puces différentes sont représentés. Les marques dans chaque coin permettent l'alignement sur les circuits intégrés.

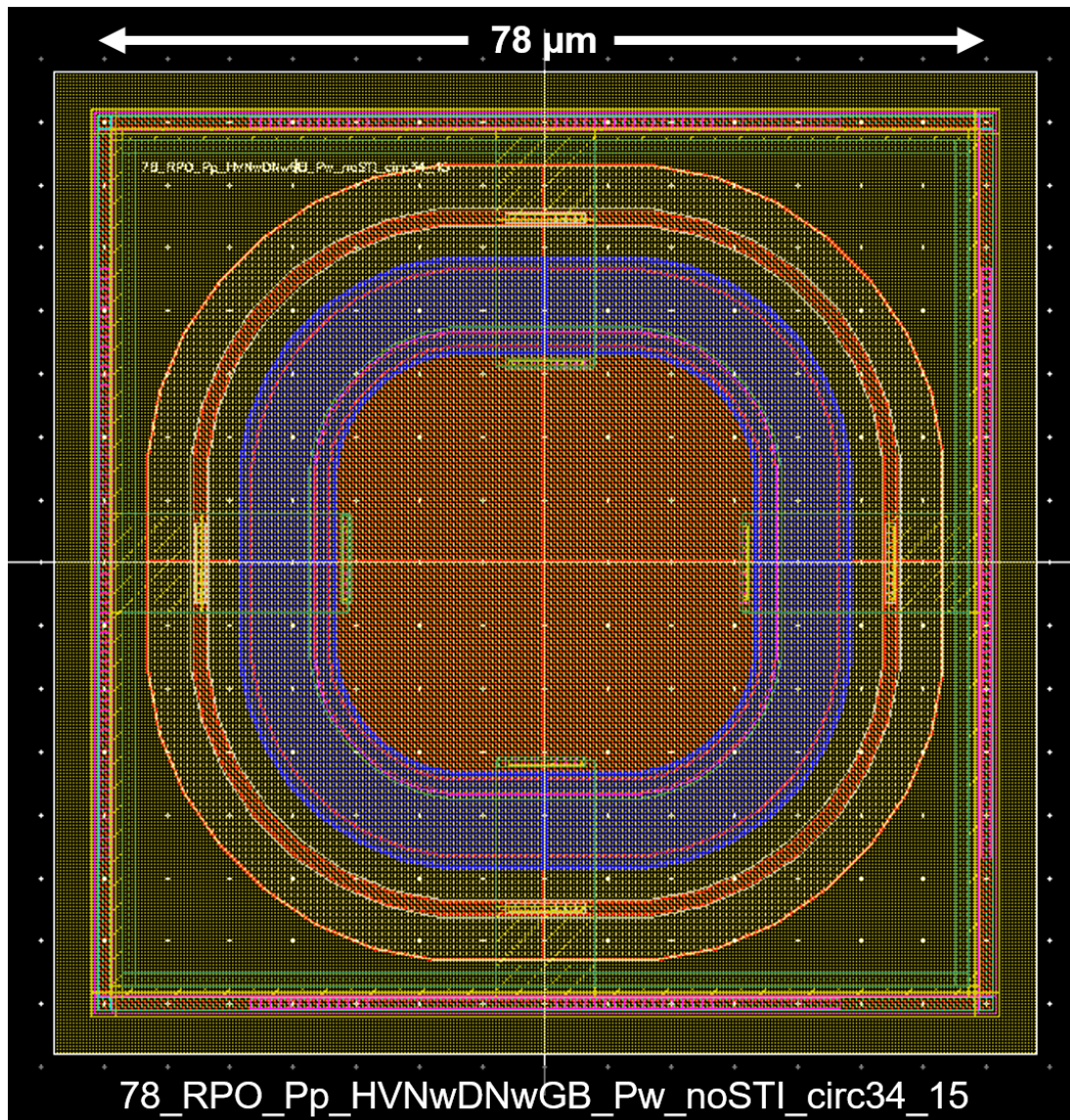


Figure 3.18 *SPAD* intégré en 2D comme signal d'entrée avec l'aire active de l'anode en rouge au centre.

contrôlé par un registre de configuration, sélectionne la sortie désirée. Puisque ces signaux ne contiennent pas d'information temporelle critique, ils peuvent se permettre de traverser un multiplexeur. Cette méthode minimise le nombre total de sorties.

3.9.5 Signal de validation de la configuration de la puce

Pour faciliter le déverminage de la communication avec la puce, lorsque le circuit intégré passe en mode de configuration, la sortie d'interruption (*flag*) change de fonction. Elle envoie un signal de validation à la réception d'une trame correctement formatée pour le réglage. Les bits de départ et de fin doivent posséder la bonne polarité et le CRC doit concorder avec les données reçues.

3.10 Intégration

La Figure 3.19 regroupe chaque fonctionnalité décrite précédemment pour former le circuit intégré.

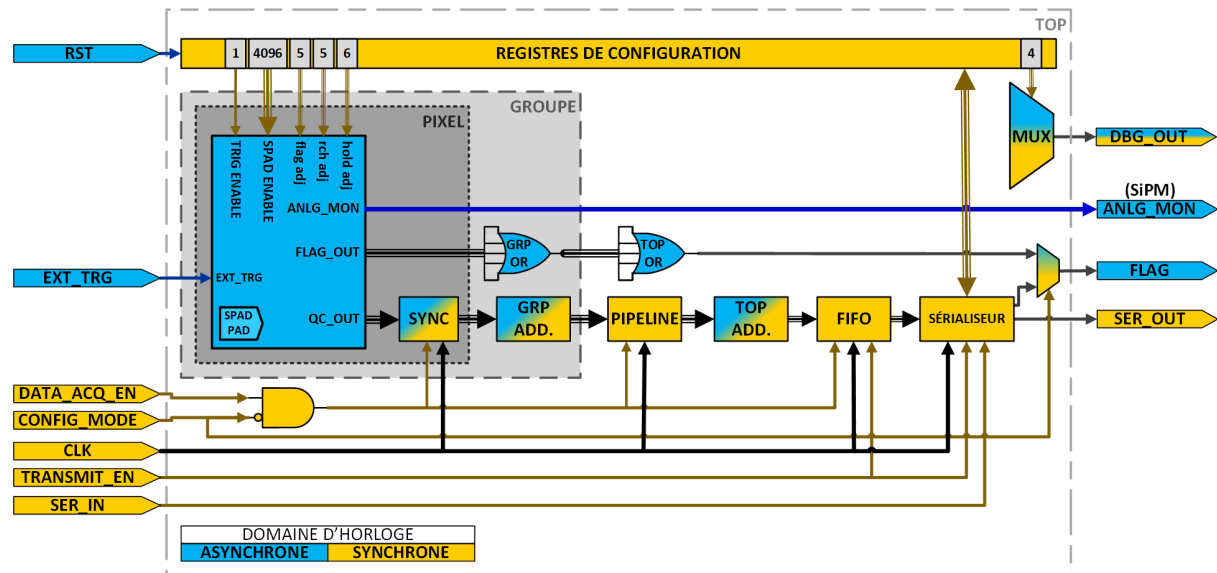


Figure 3.19 Schéma bloc simplifié des systèmes numériques du circuit intégré.

La puce a besoin de quatre alimentations distinctes, soit pour le cœur numérique, les tampons de sortie, l'électronique frontale et la somme en courant. Deux bibliothèques de cellules standard pour la technologie 180 nm *BCD* étaient disponibles au moment de la conception, une à 5 V et l'autre à 1,8 V. Pour réduire la puissance, le cœur numérique utilise la bibliothèque à 1,8 V. Les tampons de sortie numériques non différentiels (*single-ended*) disposent d'une alimentation indépendante à 1,8 V pour minimiser le bruit à l'intérieur du cœur et mesurer séparément les deux consommations. L'électronique frontale du circuit

d'étouffement fonctionne à 5 V pour obtenir une plage dynamique accrue sur la tension d'excès à appliquer sur les *SPAD*. Tout de suite après ces quelques transistors, le reste du circuit d'étouffement partage l'alimentation numérique à 1,8 V. La quatrième alimentation, également à 5 V pour une meilleure plage dynamique, fournit la somme en courant. Elle est séparée de l'électronique frontale afin d'être désactivée au besoin. Un maillage en x et en y sur trois niveaux de métal à travers la matrice achemine chaque alimentation aux systèmes respectifs. Cette distribution diminue ainsi les variations de tension sur toute la superficie de la puce, mais prend beaucoup d'espace. De plus, l'implémentation d'un blindage isole le bruit de l'horloge, qui agit comme agresseur sur la somme en courant, qui représente un des signaux analogiques les plus sensibles du circuit intégré.

Le dessin des masques est illustré à la Figure 3.20. La surface dédiée à recevoir les *SPAD* en 3D fait $5 \times 5 \text{ mm}^2$ et l'*ASIC* couvre $5,30 \times 5,85 \text{ mm}^2$. Le ratio maximum atteignable de l'aire active des *SPAD* 3D sur l'aire totale donne donc 80,6 %. Le Tableau 3.3 résume les diverses contributions. Une bande de métal de $84 \text{ }\mu\text{m}$ de largeur entoure le circuit intégré pour le sceller lors de l'assemblage 3D. Un anneau de scellement (*sealring*) du *CMOS* délimite le contour de la puce pour diminuer le stress mécanique lors de la découpe. Le nombre de plots d'interconnexion pour le microcâblage a été optimisé et ils sont regroupés du même côté, situés en bas sur la Figure 3.20, pour augmenter le facteur de remplissage par tuile. Pour répondre aux critères d'assemblage 3D, ces plots doivent avoir une taille de $127 \text{ }\mu\text{m}$ et un pas de $150 \text{ }\mu\text{m}$. Pour distribuer toutes les alimentations sur la largeur de la puce, un collègue, Nicolas Roy, a conçu un anneau de plots d'interconnexion⁸ fait sur mesure. Ensuite, des traces qui fournissent les diverses tensions entourent également le cœur de $5 \times 5 \text{ mm}^2$. Une section dans le bas, près des entrées et sorties, permet d'intégrer la logique hors pixel supplémentaire et le circuit de polarisation des circuits d'étouffement. Les *SPAD* de test en 2D représentent la dernière contribution qui diminue le facteur de remplissage et sont situés en haut de la Figure 3.20. Puisqu'une matrice de photodétecteurs possède elle-même son facteur de remplissage, la valeur finale avec le collage des *SPAD* en 3D diminuera.

Puisqu'un flot de conception numérique génère la puce, des algorithmes automatiques gèrent le placement de tous les composants. Certaines précautions s'avèrent nécessaires pour optimiser le circuit intégré. Quand plusieurs signaux doivent se rendre au même emplacement, la densité de connexion devient alors importante [114]. Certains de ces problèmes sont évités en apportant des corrections à l'architecture du système dans le code *VHDL*. Dans d'autres cas, la situation ne le permet pas. Par exemple, dans des

8. *Pad Ring*

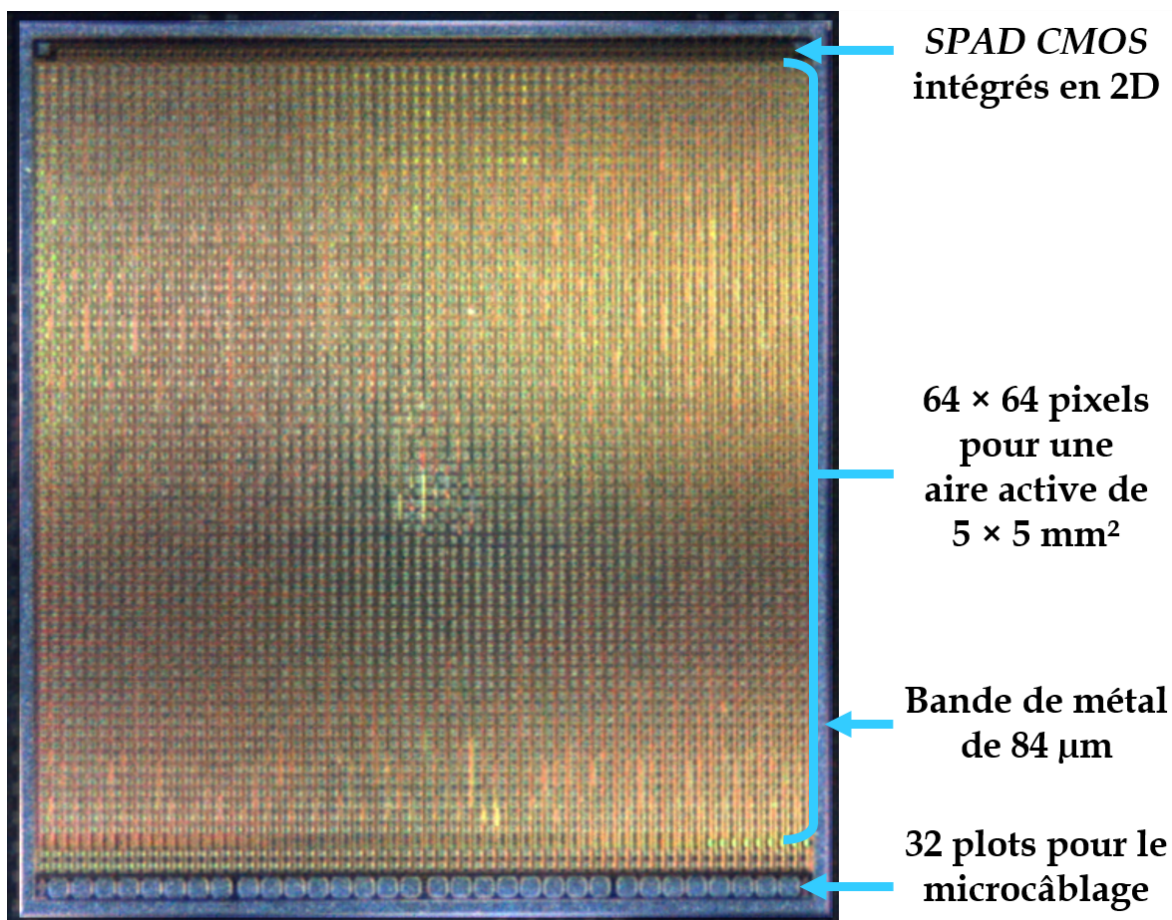


Figure 3.20 Image du dessin des masques de la puce avec la description de ses différentes sections.

Tableau 3.3 Contribution des différents circuits sur le facteur de remplissage de la puce *CMOS*.

Nom du circuit	Surface de silicium (μm^2)	Taux d'occupation (%)
Surface totale de la puce	31 005 000	100
Anneau de scellement pour la découpe	951 504	3,1
Bande de métal pour l'assemblage 3D	1 816 080	5,9
Anneau de plots d'interconnexion	1 723 209	5,6
Distribution des alimentations en périphérie du cœur numérique	357 307	1,2
Logique supplémentaire hors pixel	367 825	1,2
Circuit de polarisation des pixels	32 175	0,1
SPAD CMOS 2D de test	756 900	2,4
Surface dédiée à recevoir les SPAD 3D	25 000 000	80,6

applications matricielles, toute l'électronique synthétisée est distribuée et branchée autour des blocs analogiques. Ainsi, la taille des pixels a passé du $50\ \mu m$ original à $78\ \mu m$ pour donner plus d'espace pour les interconnexions.

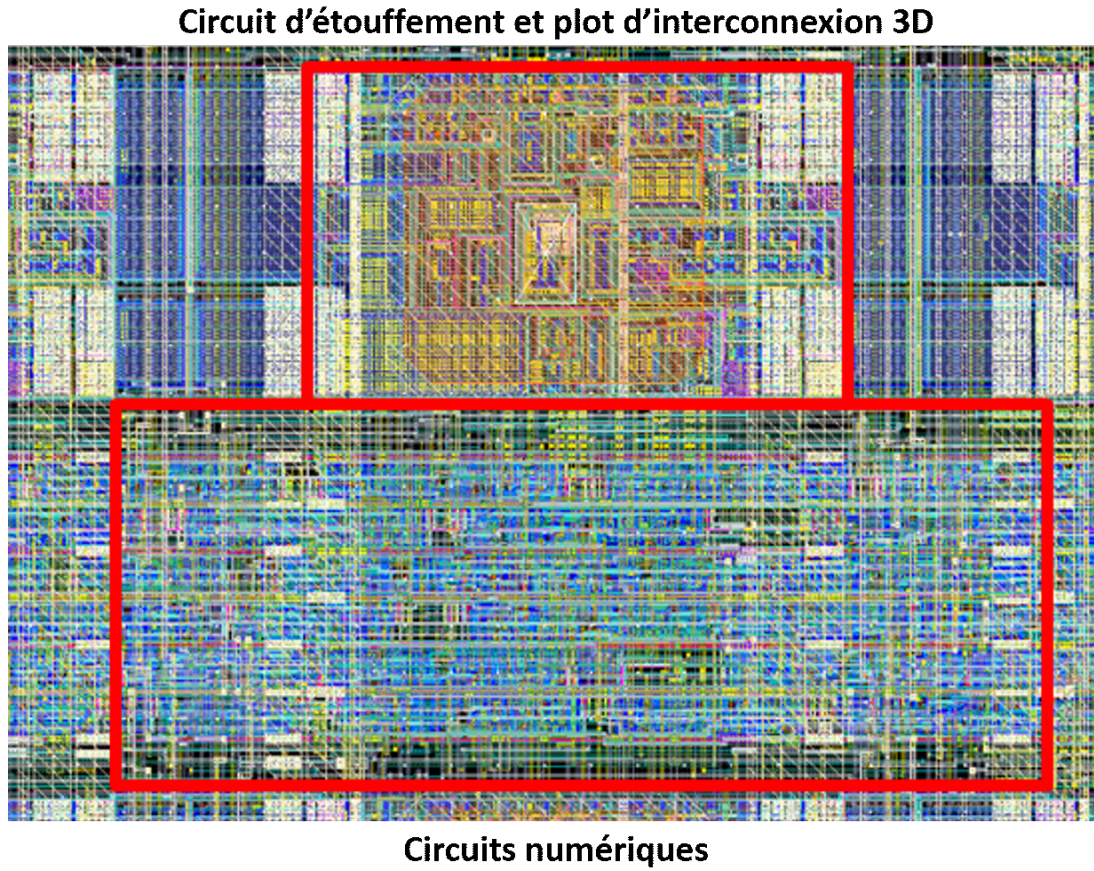


Figure 3.21 Répartition de l'électronique numérique placée automatiquement autour du pixel analogique.

Des $31\ mm^2$ de la surface de la puce, environ $10\ mm^2$ permettent de distribuer les portes logiques à travers les circuits analogiques. Ces circuits sont situés à l'intérieur de l'espace réservé au *SPAD* 3D et ne diminuent pas le facteur de remplissage. À l'intérieur des rangées de placement, l'électronique requise couvre approximativement $3\ mm^2$. Le taux d'occupation de l'électronique numérique représente seulement 32 % dans ces rangées ou 10 % de l'aire totale de l'*ASIC*. Ces valeurs confirment que les fonctionnalités ne contraignent pas l'espacement des pixels. Des condensateurs de découplage remplissent les emplacements inutilisés pour une meilleure intégrité des signaux.

3.11 Chronogrammes

Cette section décrit comment opérer la puce à l'aide des signaux numériques. Pour programmer les registres de configuration, *CONFIG_MODE* est forcé à un niveau logique haut. Puis, en activant l'horloge, *TRANSMIT_EN* sera actif pour 32 cycles en transmettant les bits dans l'ordre de la Figure 3.13 ou le chronogramme de la Figure 3.22. Après quatre périodes d'horloge passées la remise à zéro de *TRANSMIT_EN*, la sortie d'interruption (*flag*) indiquera un échange complété. Une fois cette validation obtenue, le signal *CONFIG_MODE* est ramené à un niveau bas, pour préparer l'électronique à recevoir des photons.

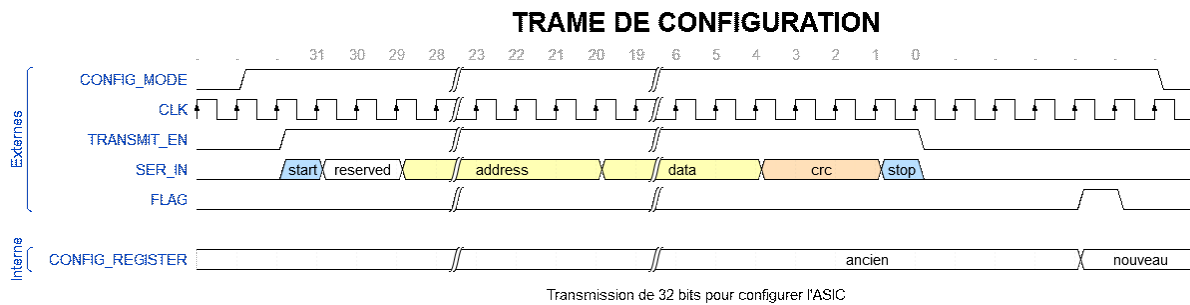


Figure 3.22 Chronogramme de programmation du registre de configuration.

Pour ce qui est de l'acquisition, *CONFIG_MODE* garde son état bas et l'horloge est activée. Pour un seul échantillon, un pulse de *DATA_ACQ_EN* d'un seul cycle doit être envoyé. Ce compte deviendra disponible huit périodes d'horloge après le premier pulse. Cette latence introduit une attente avant la transmission des données. Ce délai provient du pipeline de l'additionneur, de la *FIFO*, du calcul du CRC et du sérialiseur. La Figure 3.23 illustre les signaux internes qui causent ce prolongement.

3.12 Modes de fonctionnement de la puce

3.12.1 Faible consommation pour *nEXO*

La surface photosensible de l'expérience *nEXO* mesurera plus de 4 m^2 . De plus, la minimisation de la puissance dissipée empêchera d'amener le xénon à ébullition. Par la rareté des événements d'intérêt, le *DCR* dominera les comptes. La puce fonctionnera donc de façon asynchrone et l'horloge sera propagée uniquement lorsque requise. Sachant que la transmission de données constitue une partie importante de la consommation de puissance, il faut éviter d'envoyer de l'information non pertinente. L'implémentation d'un algorithme de discrimination du bruit réduit donc la transmission et par le fait même, la puissance

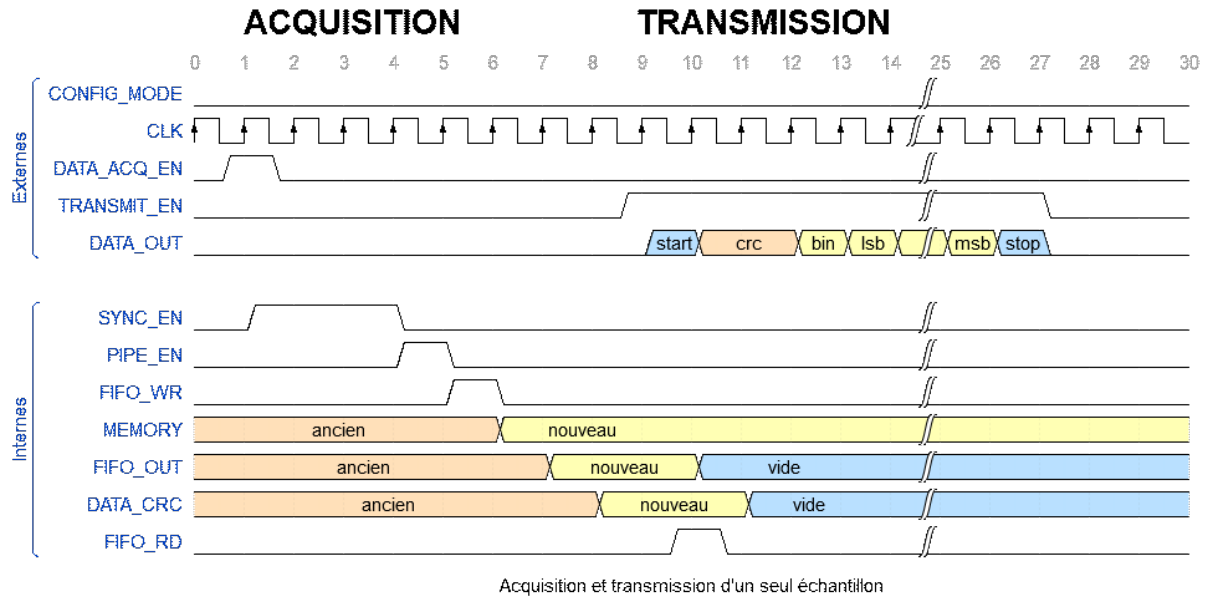


Figure 3.23 Chronogramme des signaux internes et externes de l'acquisition des données suivie de la transmission.

dissipée. La communication n'a lieu que lors d'une vraie détection. Cependant, puisque le nombre de photons mesurés pendant un événement réel reste faible, différencier un DCR de la $0\nu\beta\beta$ devient impossible au niveau du circuit intégré.

C'est alors qu'entre en jeu le concept d'un contrôleur sur une tuile (Figure 3.24). Dans un souci de radiopureté et pour limiter les contraintes mécaniques dues à la cryogénie, un interposeur en silicium supportera et interconnectera les puces 3D. Afin d'implémenter la logique de discrimination entre plusieurs de ces photodétecteurs, un circuit intégré principalement numérique, le contrôleur, permettra d'agir en tant que cerveau de l'opération. La conception de ces deux éléments sort du contexte de ce mémoire de maîtrise, mais le principe est très fortement lié au présent projet.

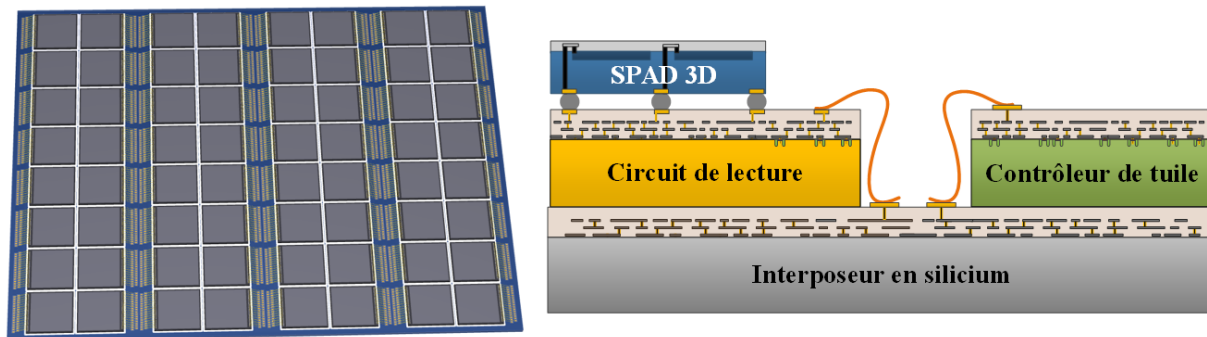
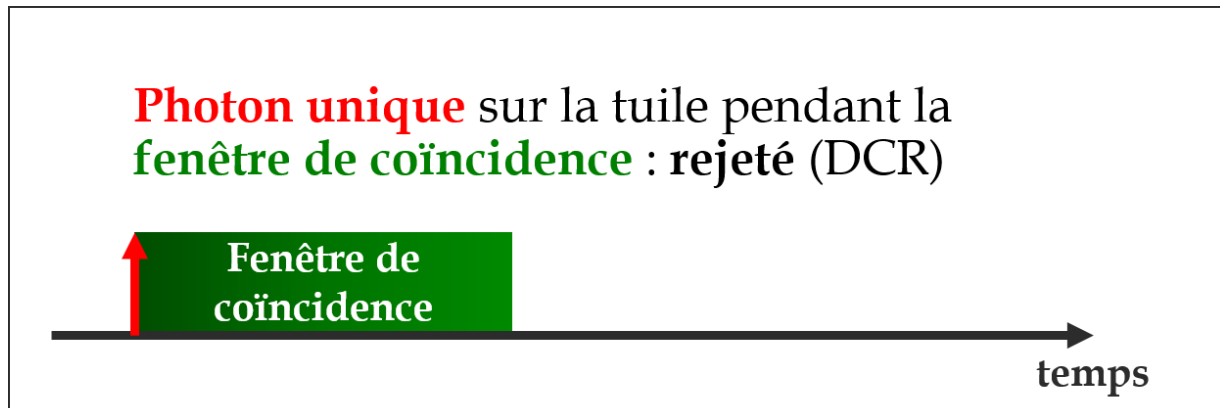
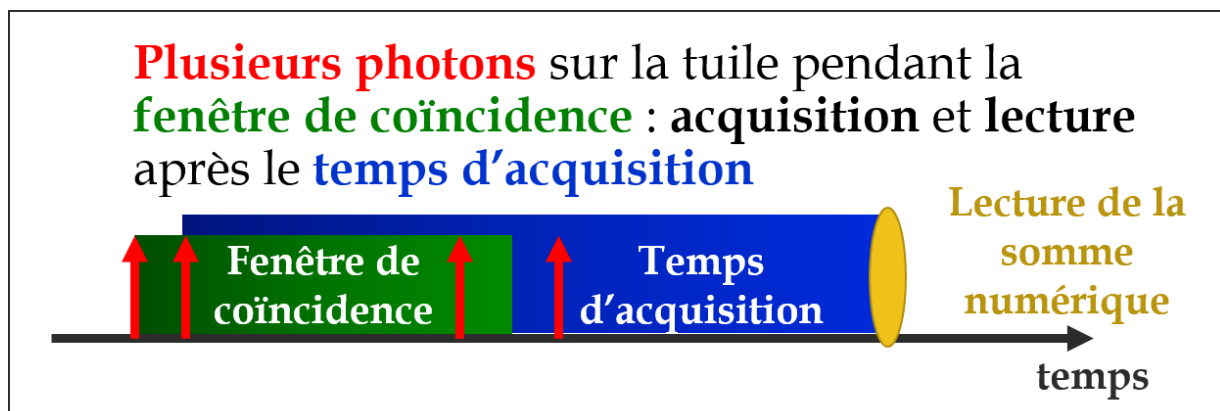


Figure 3.24 Tuile en silicium avec la matrice de puces en 3D.

Le contrôleur dispose du signal d'interruption de chaque photodétecteur situé sur la tuile. En connaissant la valeur du DCR , une fenêtre de coïncidence et un seuil en photons ajustable seront programmés dans le contrôleur. Pour un nombre d'interruptions inférieur à la limite à l'intérieur de la fenêtre de temps, les événements seront rejetés. Dans le cas inverse, le contrôleur reçoit les comptes à la fin du temps d'intégration. Bien sûr, chaque photon peut également être lu dans un mode de données brutes. Le contrôleur s'occupe de gérer ces différents paramètres.



(a) Une simple détection de bruit à rejeter (DCR).



(b) Un événement de plusieurs photons à échantillonner.

Figure 3.25 Illustration de la coïncidence pour la discrimination du DCR .

3.12.2 Discrimination par forme d'impulsion dans l'argon liquide

La discrimination par forme d'impulsion (PSD) dans l'argon n'a besoin que de deux valeurs de comptes : la quantité de photons prompts et le nombre total dans un événement. Cependant, une meilleure précision temporelle à l'intérieur du même événement de scintillation comme présentée à la Figure 3.12 permet de recueillir plus d'information sur sa signature ou d'implémenter du temps de vol. Le contrôleur disposera également de TDC

avec une résolution temporelle d'au moins 100 ps *RMS*. Les signaux d'interruption des photodétecteurs serviront à obtenir l'étampe temporelle de la scintillation et détermine la coïncidence.

Le contrôleur observe le signal d'interruption de plusieurs puces. Une fois les conditions de coïncidence respectées, l'acquisition rapide commence. Ces comptes iront dans la *FIFO* circulaire. Enfin, une période qui constitue un multiple entier de celle de l'horloge convertira le reste de la scintillation. Transmettre les données en même temps que la *FIFO* circulaire se remplit est impossible. Le contrôleur doit attendre l'échantillonnage plus lent, ou la fin de l'événement pour amorcer la communication vers le photodétecteur numérique. Ce dernier peut être contrôlé par trois modes pour effectuer l'acquisition comme l'illustre la Figure 3.26.

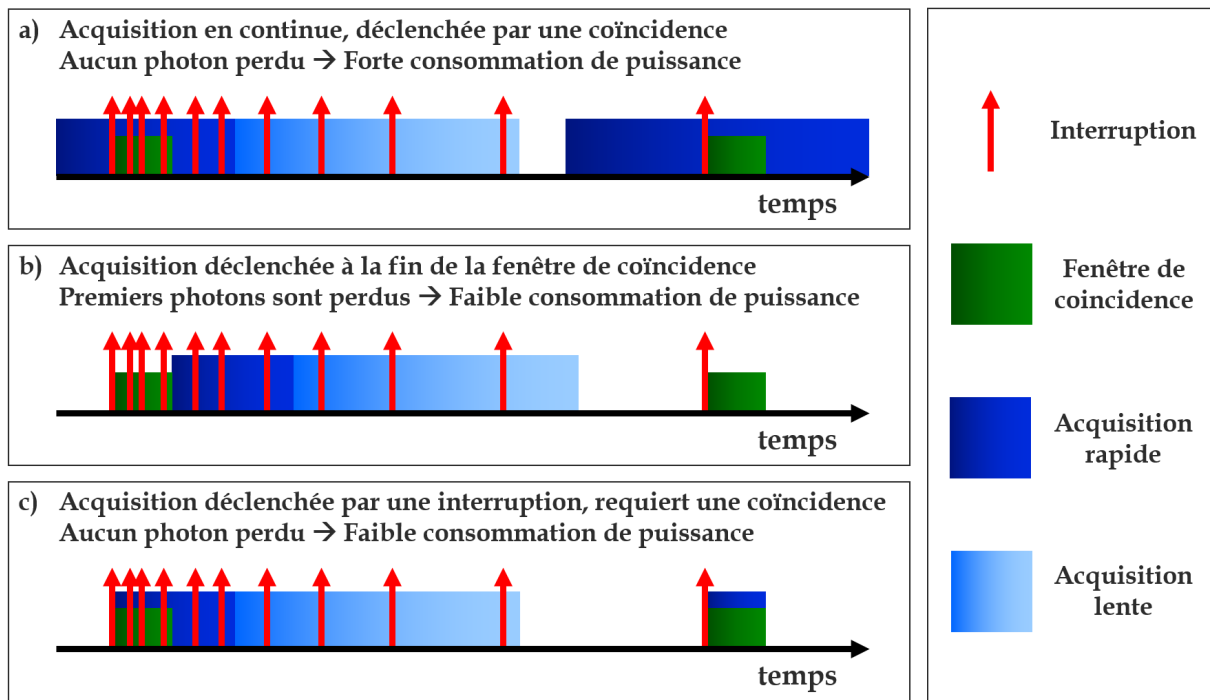


Figure 3.26 Les trois implémentations de la coïncidence pour la discrimination par forme d'impulsion.

Dans la première méthode (a), l'horloge est envoyée en continu. La somme s'effectue en permanence dans chaque puce et la *FIFO* circulaire mémorise le résultat. Une fois la coïncidence confirmée, l'acquisition se complète. La *FIFO* circulaire garde l'historique avant le début de l'événement. Cependant, cette modalité reste très énergivore puisque l'horloge est transmise continuellement.

La deuxième approche (b) permet de diminuer la puissance consommée. Sur détection d'un événement d'intérêt par le contrôleur, l'horloge sera envoyée à chaque *ASIC* et le

signal *DATA_ACQ_EN* passera à un niveau haut pour la durée des photons prompts. Le problème avec cette solution provient du délai entre la réception du photon sur le photodétecteur et le départ de la prise de données à cause de la coïncidence. Si ce décalage s'avère trop élevé, le début de la scintillation sera perdu.

Enfin, la troisième méthode (c) offre un compromis entre les deux premières. Le contrôleur attend de recevoir une interruption pour commencer une prise de données. Aux termes de la fenêtre de coïncidence, la sauvegarde des comptes continue normalement durant un véritable événement, sinon elle est arrêtée ainsi que la transmission de l'horloge. Les sommes mémorisées sont alors ignorées. La consommation de puissance de cette modalité s'avère plus faible que la première. Le temps mort au début est également réduit puisque l'acquisition peut démarrer sans attendre la fin de la période de coïncidence.

L'optimisation des paramètres de la coïncidence devra être étudiée et testée dans l'expérience avant sa mise en service. Pour les différentes méthodes, les signaux de contrôle sont illustrés à la Figure 3.27.

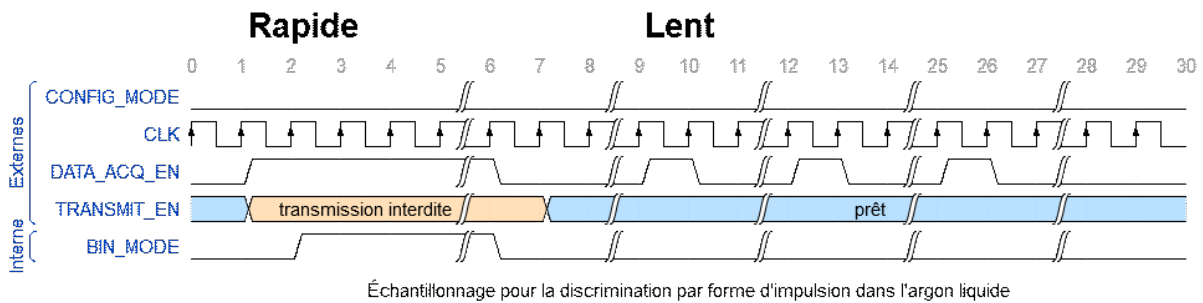


Figure 3.27 Chronogramme des signaux de contrôle pour l'acquisition *PSD*.

À la lumière du présent chapitre, le *3DdSiPM* ainsi conçu s'avère un dispositif très polyvalent. Il fonctionne à la fois avec peu de puissance pour *nEXO* ou donne une meilleure résolution temporelle pour la discrimination par forme d'impulsion dans l'argon liquide. La somme binaire permet de s'affranchir des préamplificateurs, circuits de mise en forme et de convertisseurs analogiques numériques normalement employés avec les *SiPM* conventionnels. La sortie d'interruption de détection de photons peut être chronométrée via un *TDC* externe et peut servir pour un algorithme de coïncidence. Les structures de tests intégrés dans la puce permettent également de valider son opération sans l'assemblage en trois dimensions. Lorsqu'elle disposera de sa couche de photodétecteurs en trois dimensions, la polyvalence de la puce en fera un remplacement idéal pour les *SiPM* classiques. Plusieurs applications autres pourront en bénéficier.

CHAPITRE 4

MATÉRIEL ET MÉTHODOLOGIE

Ce chapitre s'attaque premièrement aux systèmes utilisés pour vérifier et caractériser la puce conçue et fabriquée dans le cadre des présents travaux de recherche. Enfin, les différentes étapes du plan de test seront exposées afin d'obtenir les résultats requis.

4.1 Matériel

Un système à deux circuits imprimés, reliés par un câble plat multiconducteur, servira à caractériser les circuits intégrés sur le montage optique et dans la chambre cryogénique. La première carte interface la puce et la deuxième implémente un circuit programmable et ses périphériques pour communiquer avec le circuit intégré et automatiser les séquences de tests.

4.1.1 Carte d'interface du circuit intégré

L'objectif ultime consiste à créer des matrices de puces sur une tuile pour instrumenter les expériences de physique des particules. La carte d'interface implémente donc le micro-câblage pour 4 (matrice 2×2) circuits intégrés et leurs alimentations (Figure 4.1). Elle présente également les tampons de duplication pour acheminer les signaux aux 4 puces et des tampons pour piloter les lignes numériques en différentiel (*Low-Voltage Differential Signaling - LVDS*) à travers le câble. Quatre amplificateurs avec chacun un étage de gain et une sortie de puissance pour piloter une impédance de 50Ω effectuent la conversion de la somme en courant de $30 \mu A$ par pixel. Puisque la carte ira sur la table optique du montage laser, elle inclut des trous de fixation espacés à des multiples entiers de pouces et possède une taille de $3,5 \times 3,5 po^2$. Comme ce système de validation devra également entrer dans la chambre cryogénique, son fonctionnement doit être assuré jusqu'à la température de l'azote liquide, soit 77 Kelvins.

4.1.2 Carte de développement

Ce circuit imprimé (Figure 4.2) accueille une carte *SOM*¹ produite par Avnet, un fournisseur de technologies et de composants électroniques. Ce *SOM* [117] se base sur un *Zynq*

1. *System On Module*

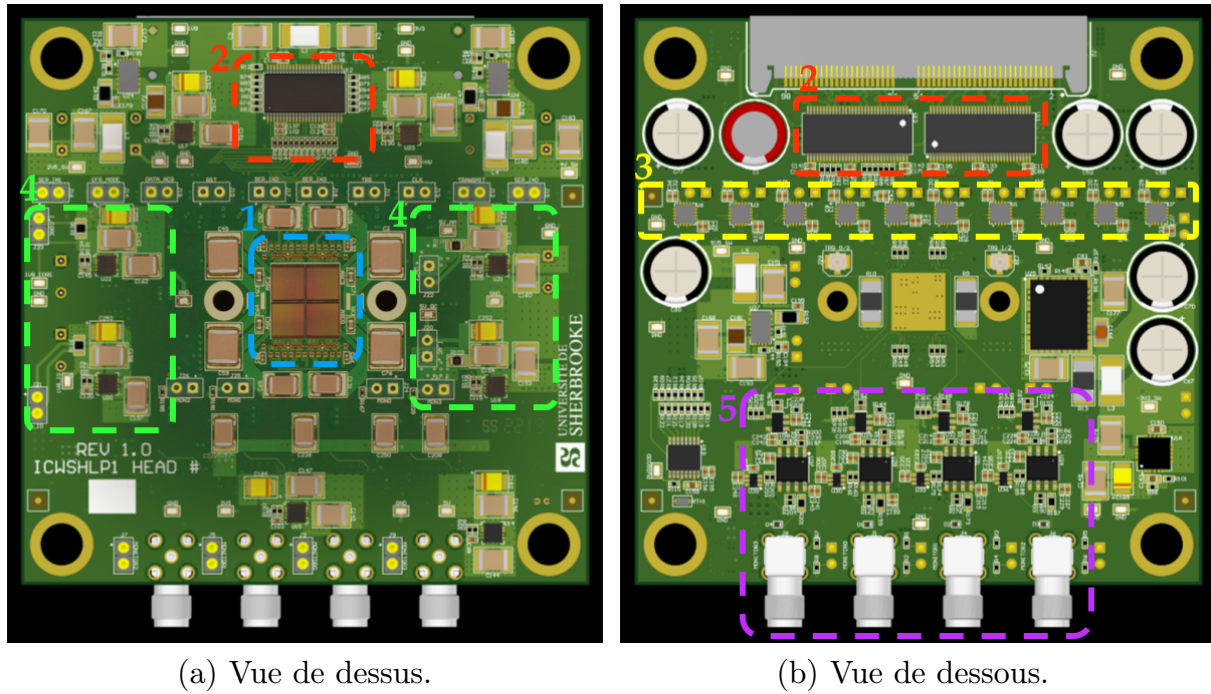


Figure 4.1 Carte d'interface avec la matrice de 2×2 circuits intégrés (1), les tampons pour piloter les lignes numériques du câble en différentiel (2), les tampons de duplication pour acheminer les signaux aux 4 puces (3), les régulateurs linéaires (4) et l'amplification de la somme en courant (5).

Ultrascale+ de *Xilinx*. Il consiste en un *FPGA* et un processeur multicœur *ARM*² sur le même module, ce qui procure un niveau d'intégration optimal entre les deux. Le *FPGA* se programme en *VHDL* pour les échanges avec les puces. Le processeur reçoit les commandes de l'utilisateur et les envoie aux *ASIC*. Il s'occupe également de lire les données du *FPGA*. Cette partie inclut plusieurs périphériques standards (Ethernet, *USB*, *DDR*, carte *SD*). Différents langages (C/C++, Python, Shell) ont servi à rédiger du code et des scripts. La carte de développement offre une bonne flexibilité et transfère les signaux de la carte d'interface à travers un petit circuit imprimé pour adapter les connecteurs.

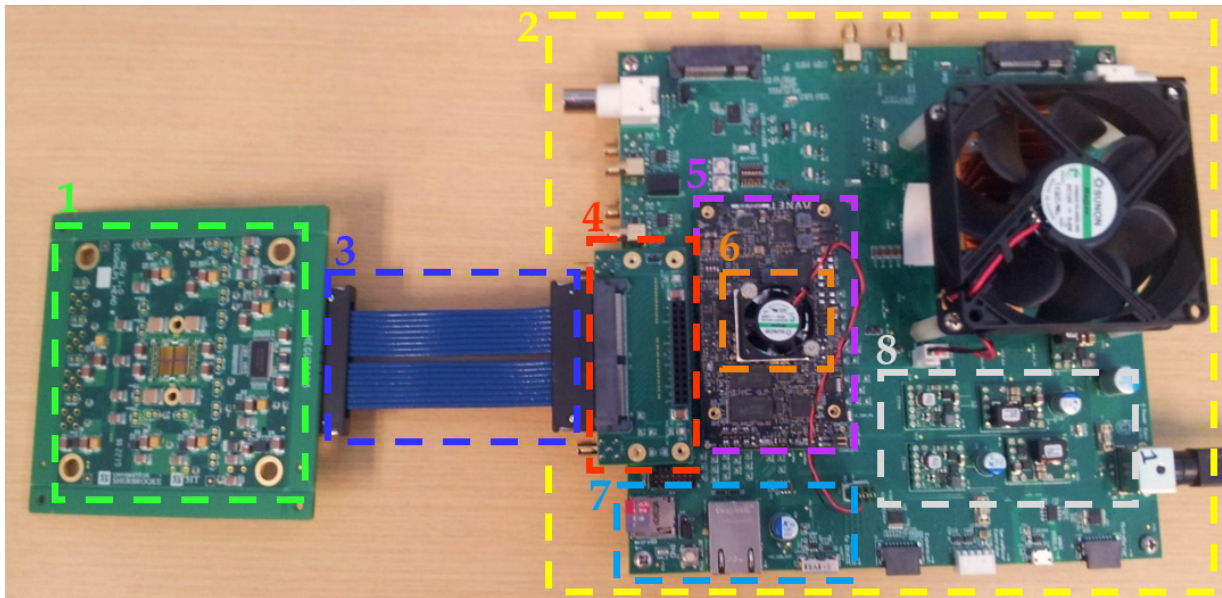


Figure 4.2 Carte d'interface du circuit intégré (1) connectée à la carte de développement (2) par un câble plat multiconducteur (3) et un circuit imprimé adaptateur (4). La carte de développement implémente le *SOM* (5) et son *Zynq Ultrascale+* (6), les périphériques standards (7) et les alimentations (8).

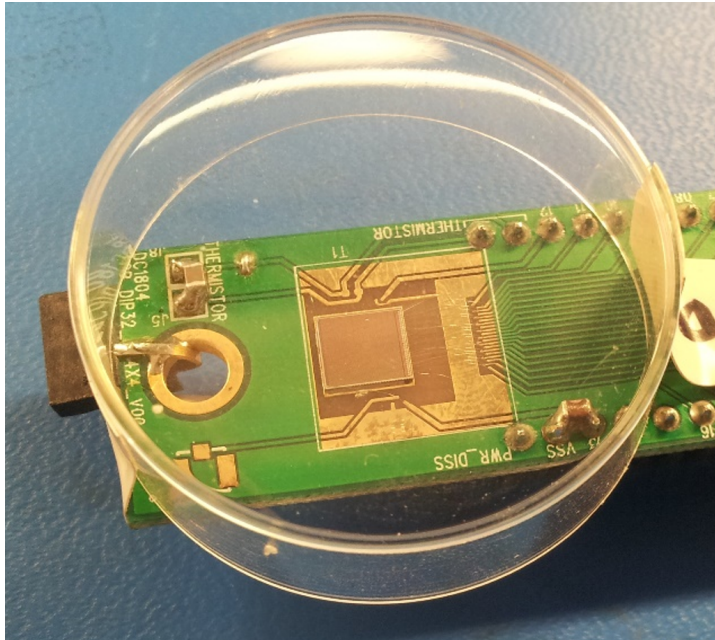
4.1.3 Montage pour validations préliminaires

Au moment de la réception des puces, les cartes d'interface du circuit intégré et de développement n'étaient pas complétées. L'implémentation d'un système temporaire a diminué les délais avant d'effectuer les premiers tests. Ce système *Apollo 13* utilise des plaquettes et des pièces provenant de projets autres à la manière d'un montage de fortune. D'abord, un *PCB* d'adaptation conçu pour caractériser des transistors en cryogénie accueille le microcâblage de l'*ASIC* (Figure 4.3a). Ensuite, une interface convertit la tension 1,8 V de la puce vers les 3,3 V du *FPGA*. Une carte de développement produite par *Avnet*³ ac-

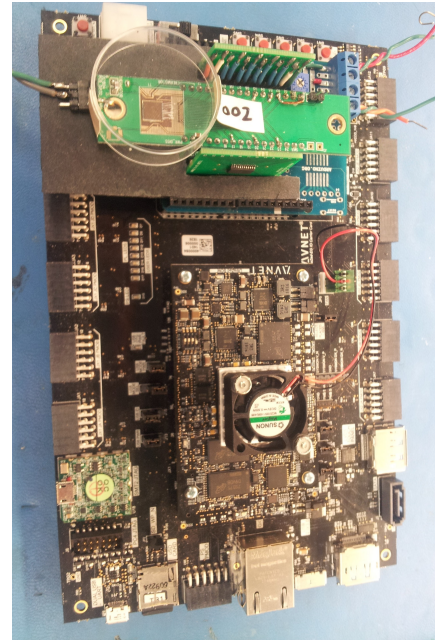
2. *Advanced RISC Machine*

3. *Ultrazed IO Carrier Card* basé sur un *Zynq Ultrascale+* [118]

cueillant le *SOM* reçoit directement cet assemblage (Figure 4.3b). Plus tard, une version câblée réutilisant des circuits imprimés conçus pour d'autres projets a permis de réaliser des mesures avec la chambre cryogénique. Le montage Apollo 13 suffit donc à valider la majorité des fonctionnalités numériques. Son principal inconvénient provient de l'intégrité des signaux qui est non optimale. De plus, une résistance de $1\text{ k}\Omega$ effectue la conversion IV de la somme analogique. Cela dit, le tout remplit les exigences pour accomplir les premiers tests.



(a) Microcâblage de la puce sur un *PCB* d'interface pour le montage Apollo 13.



(b) Montage Apollo 13 avec la carte de développement d'*Avnet*.

Figure 4.3 Montage Apollo 13.

4.1.4 *Time Tagger Ultra* de *Swabian Instruments*

Afin d'effectuer des mesures temporelles, la compagnie *Swabian Instruments* propose le *Time Tagger Ultra* [119]. Implémenté à l'aide d'un *FPGA*, ce convertisseur temps-numérique peut atteindre une précision temporelle de 3 ps RMS avec une résolution temporelle de 1 ps . Ce dispositif contient 18 entrées sur une plage de $\pm 5\text{ V}$ à $50\text{ }\Omega$ avec un seuil ajustable pour chacune. Un lien *USB3.0* transfère les données vers l'ordinateur hôte qui s'occupe du post-traitement. Une interface web permet de se familiariser avec cet appareil alors que des bibliothèques en Python assez conviviales offrent la possibilité de l'utiliser avec des scripts automatisés pour accélérer la prise de mesures.

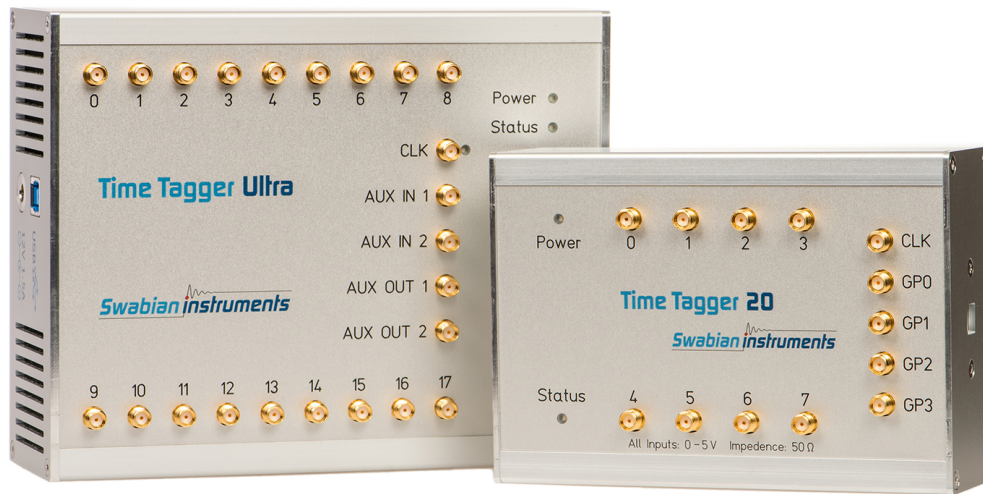


Figure 4.4 *Time Tagger Ultra* de la compagnie *Swabian Instruments*.

4.1.5 Chambre environnementale

Une chambre environnementale *EC12* de *Sun Electronic Systems, Inc.* [120] permet d'effectuer les mesures à différentes températures. Sa plage de fonctionnement va de 315°C jusqu'à -184°C . Elle doit être alimentée en azote liquide pour le refroidissement. Les dimensions utilisables correspondent approximativement à 50 cm de largeur, 30 cm de hauteur et 40 cm de profondeur pour un volume total de 60 litres. Même si l'atmosphère intérieure reste toujours sous forme gazeuse, cette configuration suffit à reproduire partiellement les expériences dans les liquides nobles. La chambre peut être contrôlée par son panneau ou à distance avec des scripts en Python.

4.2 Méthodologie

La méthodologie se sépare en deux étapes. La première consiste à obtenir les performances des *SPAD* 2D présents dans le circuit intégré puisqu'ils influenceront la suite des résultats. Dans un deuxième temps, la puce elle-même sera testée.

4.2.1 Caractérisation des *SPAD* intégrés en 2D

Les 61 *SPAD CMOS* intégrés en 2D au cœur de l'*ASIC* génèrent un signal d'entrée représentatif lors des tests fonctionnels. Une deuxième puce de *SPAD* envoyée en même temps que la puce principale permet de faciliter les mesures. Elle donne accès aux anodes



Figure 4.5 Chambre environnementale *EC12* de *Sun Electronic Systems, Inc.*

et aux cathodes de différents saveurs de *SPAD*, dont celle implémentée dans la matrice⁴. Alors que plus de détails sur la caractérisation de *SPAD* apparaissent dans [34, 121], voici les méthodes utilisées pour tester la tension de claquage, le taux de comptage dans l'obscurité ainsi que le bruit post-impulsionnel pour finir avec l'efficacité de photodétection.

Tension de claquage des *SPAD*

L'opération des *SPAD* à la tension d'excès voulue nécessite une mesure du point de claquage en fonction de la température. Deux méthodes permettent de trouver ce paramètre crucial au bon fonctionnement du photodétecteur. D'abord, une station sous pointe branchée entre l'anode et la cathode d'une diode injecte un courant pour déterminer la courbe IV en polarisation inverse. L'autre méthode requiert un circuit d'étouffement. Elle consiste à augmenter l'amplitude de la tension aux bornes du *SPAD* jusqu'à le placer en mode Geiger pour qu'il génère des événements. Cette approche peut s'effectuer directement dans la matrice numérique en lisant la sortie d'interruption avec un oscilloscope ou un compteur. La mesure avec la courbe IV sera utilisée avec un courant de $500 \mu A$ sur une plage de température de 300 K à 100 K dans la chambre environnementale *EC12*.

Taux de comptage dans l'obscurité et bruit post-impulsionnel

Une méthode dite *Zero photon probability* (ZPP) basée sur [122, 123] permet d'obtenir le *PDE* et par le fait même, le bruit dans l'obscurité ou *DCR*. Elle consiste à compter les

4. La saveur de *SPAD 78_RPO_Pp_HVNwDNwGB_Pw_noSTI_circ34_15*

détections dans des intervalles de temps de largeur fixe. Le nombre total de déclenchements (*Total Count Rate* - *TCR*) et la quantité d'intervalles vides mènent à la fois au nombre de comptes corrélés (*Correlated Count Rate* - *CCR*) et non corrélés (*Uncorrelated Count Rate* - *UCR*). Les équations 4.1, 4.2 et 4.3 expliquent ces calculs.

$$TCR = \frac{\text{Nombre de comptes}}{\text{Nombre d'intervalles} \times \text{Période d'intervalle}} \quad (4.1)$$

$$UCR = -\ln \left(\frac{\text{Nombre d'intervalles vides}}{\text{Nombre d'intervalles} \times \text{Période d'intervalle}} \right) \quad (4.2)$$

$$CCR = \frac{TCR - UCR}{TCR} \quad (4.3)$$

Le *Zynq Ultrascale+* de la carte de développement implémente cette méthode. Un compteur dans le *FPGA* recense les événements provenant de la sortie d'interruption, et ce, pour différents intervalles de temps. Leur durée s'ajuste par multiples de 10 ns jusqu'à environ 40 secondes. L'activation des *SPAD* à tour de rôle retire la diaphonie optique et électrique du nombre de comptes corrélés pour garder uniquement la contribution du bruit post-impulsionnel. Une boîte étanche à la lumière recouvre les *SPAD* pour les maintenir dans l'obscurité. Pour déterminer la largeur d'intervalle optimale, la première estimation consiste à mesurer le taux de compte en sortie et à l'utiliser comme point de départ. Une durée trop courte cause une erreur alors qu'une valeur trop longue prendra beaucoup de temps pour obtenir assez de statistiques. Le choix s'arrête sur un intervalle de l'ordre de grandeur de 2 ms.

La polarisation à la tension maximale à température pièce permettra d'atteindre le plus grand *DCR*. Cette tension dépendra des résultats de la procédure de la sous-section 4.2.1.

Efficacité de photodétection

Une source halogène large bande 350-2400 nm [124], couplée à un monochromateur *Horiba iHR320* [125], génère les photons pour le balayage en longueur d'onde de 400 à 1000 nm. Le montage optique de la Figure 4.6 permet de focaliser sur l'échantillon et d'ajuster l'intensité de la lumière.

La méthode de mesure de l'efficacité de photodétection employée consiste en une mesure relative. Il faut premièrement utiliser un photodétecteur de référence, le *PDM* de la compagnie *Micro Photon Devices* [126]. La sortie de ce détecteur monophotonique alimente

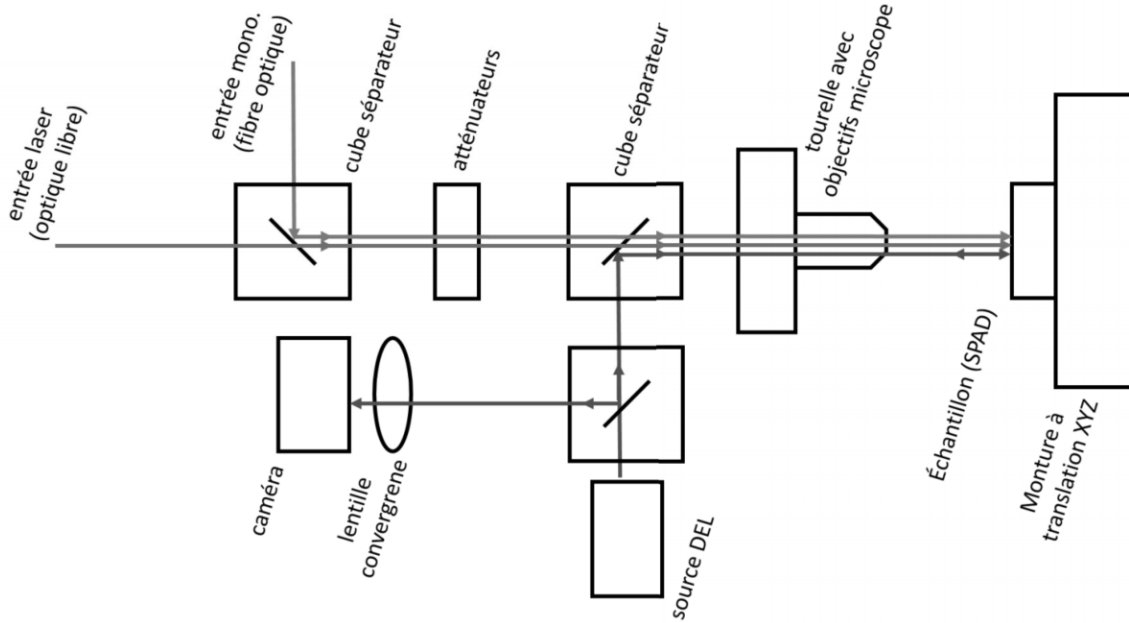


Figure 4.6 Schéma bloc du montage optique pour la mesure de l'efficacité de photodétection [34].

un compteur d'événements *Agilent 53220A* [127] pour obtenir une valeur pour chaque longueur d'onde. Dans un deuxième temps, le circuit intégré nommé *Chip-Probe* [110] lit les *SPAD*, générant des pulses numériques à chaque photon perçu. Le temps d'attente du *SPAD* sera configuré à 200 ns et la tension d'excès à 15 %. Le compteur *Agilent* permet une fois de plus d'acquérir un taux de comptage pour chaque longueur d'onde.

Pour chaque mesure, il faut obtenir un taux de comptage sans source de lumière ($T_{obscurité}$) et bâtir un histogramme des délais entre chaque événement. Les premiers intervalles de l'histogramme indiquent le bruit post-impulsionnel (*AP*). Il faut par la suite retirer cette contribution ainsi que le bruit d'obscurité. Le taux de compte réel dû à la lumière sera corrigé grâce à l'équation 4.4. Le *PDE* relatif mesuré du *SPAD* provient finalement de l'équation 4.5.

$$T_{lumière} = (1 - AP) \times (T_{total} - T_{obscurité}) \quad (4.4)$$

$$PDE_{SPAD} = \frac{T_{lumière_{SPAD}}}{T_{lumière_{MPD}}} \times PDE_{MPD} \quad (4.5)$$

4.2.2 Validation de la logique d'addition des comptes

La logique d'addition se valide de deux façons, avec soit l'arbre de déclenchement, soit la somme analogique. Dans la première approche, l'arbre de déclenchement sert à forcer les événements. En faisant varier le nombre de pixels activés, une séquence automatisée peut tester chaque résultat en s'assurant de sa validité. Cette expérimentation nécessite uniquement un *ASIC* microcablé sur la carte d'interface, branchée à la carte de développement. La deuxième méthode se base sur la comparaison de la somme numérique avec la sortie en courant. Pour échantillonner cette dernière avec une bonne rapidité, l'oscilloscope *MSO-X-91304A* de *Keysight* [128] a été employé. Muni de sondes différentielles actives, cet appareil permet de limiter la charge capacitive ajoutée au point de mesure. Il possède une bande passante de 13 GHz et il peut numériser jusqu'à 80 Géch/s. Ses formes d'ondes peuvent être sauvegardées en données brutes. En polarisant les 61 *SPAD* intégrés au *CMOS*, ceux-ci se déclencheront aléatoirement, générant ainsi une entrée représentative de ce que fourniront les *SPAD* en trois dimensions. Pour simuler différents environnements, le nombre de *SPAD* activés et le niveau d'éclairage peuvent être contrôlés.

La sortie en courant doit concorder avec la somme binaire et le signal d'interruption. La comparaison des données numériques lues par le *FPGA* et par l'oscilloscope confirme le tout. Dans un premier temps, la validation provient du montage Apollo 13 avec une superposition manuelle. Par la suite, la plateforme finale implémente un serveur entre le *FPGA* et un ordinateur pour recevoir les données de la puce. Les signaux analogiques sont mesurés avec l'oscilloscope et exportés sous forme d'un fichier *CSV* (*Comma-Separated Values*). Un code en Python combine les différentes courbes correctement. Pour simplifier la synchronisation, la fréquence d'acquisition du circuit intégré doit concorder avec la fréquence d'échantillonnage de l'oscilloscope. Un signal provenant du *FPGA* vient démarrer l'acquisition sur les deux dispositifs en simultané. Différentes périodes d'acquisition permettront de trouver la fréquence d'opération maximale de la puce pour la discrimination par forme d'impulsion dans l'argon liquide. La Figure 4.7 présente une forme typique de signaux. Enfin, la synchronisation d'état et la synchronisation de transition des pixels seront validées.

4.2.3 Mesure de la distribution temporelle de l'arbre de détection des photons

Les applications de discrimination par forme d'impulsion dans l'argon liquide requièrent une résolution temporelle de moins de 250 ps. La variation de délai entre les pixels doit être minimisée, puisque ce facteur limitera les performances du signal d'interruption en ajou-

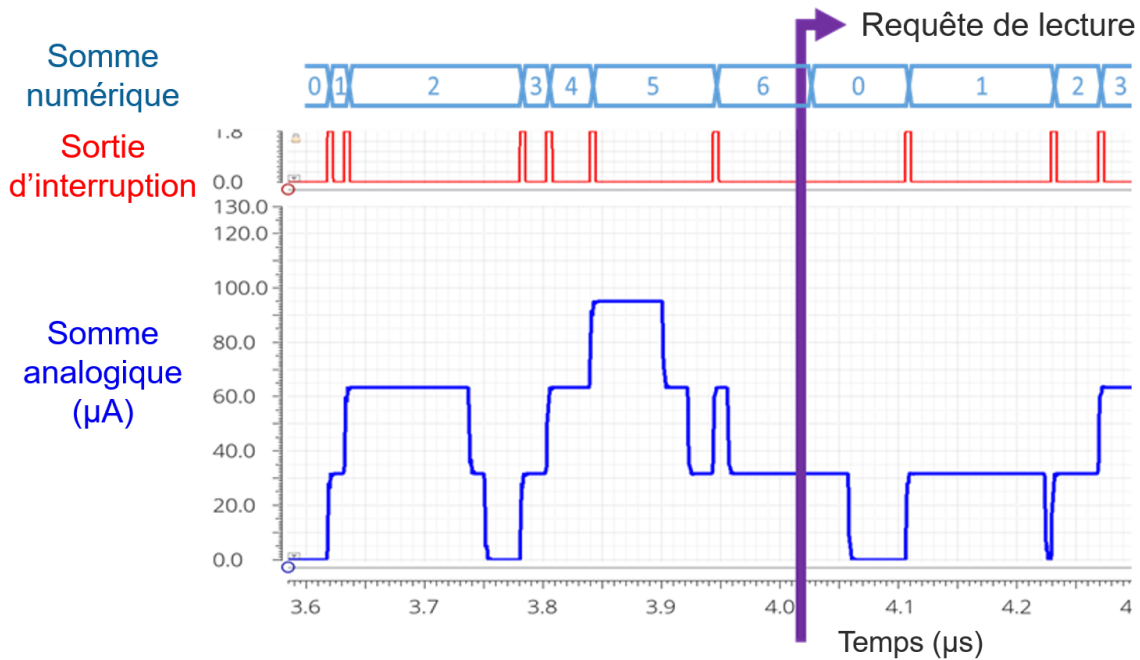


Figure 4.7 Simulation du signal attendu pour la validation de la somme numérique. La sortie d'interruption génère un pulse à chaque détection et l'amplitude de la somme analogique augmente.

tant une gigue temporelle supplémentaire. Deux méthodes de mesure serviront à recréer la distribution (Figure 3.9) et l'histogramme (Figure 3.10) des délais du chapitre précédent, obtenus par simulations. Dans le premier cas, l'arbre de déclenchement excitera tous les pixels à tour de rôle. Dans le deuxième, les *SPAD* 2D offriront un déclenchement aléatoire et représentatif du fonctionnement normal, mais seulement pour les 61 pixels avec des *SPAD*.

Excitation avec l'arbre de déclenchement

Le signal d'excitation sur l'arbre de déclenchement des quatre puces de la carte d'interface provient du *FPGA* de la carte de développement. Un script active les 4096 pixels à tour de rôle pour balayer la matrice au complet, diminuant ainsi les étapes manuelles. Chaque pixel est déclenché 100 000 fois et un convertisseur temps-numérique, le *Time Tagger Ultra*, mesure la différence de temps entre l'excitation et la sortie d'interruption puis crée un histogramme de la gigue temporelle et donne le délai moyen de chaque pixel. Les histogrammes de chaque pixel combinés mèneront à la résolution temporelle globale de la sortie d'interruption. Ce résultat inclut toutefois la contribution de l'arbre de déclenchement et sera comparé aux simulations.

Excitation avec les *SPAD* et le montage optique

Le montage optique schématisé à la Figure 4.8 améliore la mesure en éclairant directement les 61 *SPAD* pour caractériser la sortie d'interruption. Cette mesure représentera mieux le comportement de la puce que la méthode précédente, puisqu'elle n'inclut pas la contribution de l'arbre de déclenchement. Cependant, elle permettra uniquement d'obtenir la résolution temporelle et les délais pour les pixels reliés aux 61 *SPAD*.

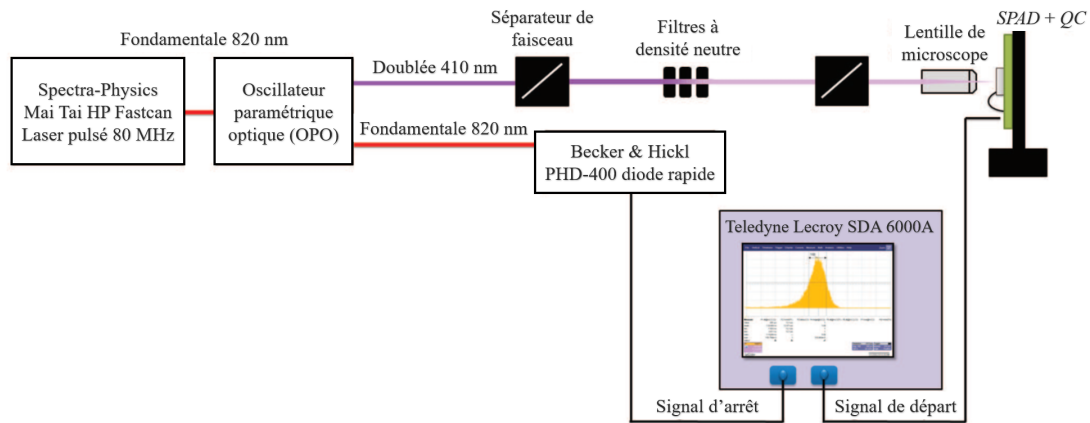


Figure 4.8 Schéma du montage optique pour la mesure de la résolution temporelle avec les 61 *SPAD* [56].

La source de photons provient d'un laser femto seconde *Mai Tai HP Fastscan* de la compagnie *Spectra Physics*. Ses pulses possèdent une largeur de moins de 100 fs avec un taux de répétition de 80 MHz [34]. Une diode *PIN* (type p / intrinsèque / type n) du modèle *PHD-400* de *Becker-Hickl* [129], placée sur une deuxième branche optique, sert de référence temporelle. Un oscilloscope *Teledyne Lecroy SDA 6000A* reçoit la sortie d'interruption comme signal de départ pour bâtir un histogramme de temps. Le signal d'arrêt provient de la diode *PIN*. Pour réduire les étapes d'alignement, le faisceau diverge pour éclairer les 61 *SPAD* sur les quatre puces en même temps. Chaque pixel est activé à tour de rôle afin de générer 61 histogrammes. Ces délais sont relatifs puisque le montage optique n'utilise pas le temps réel d'arrivée du photon sur le *SPAD* à tester comme référence, mais plutôt la diode *PIN*. L'information à extraire sera donc la variation du délai et non le délai lui-même. Les *SPAD* seront polarisés à leur tension d'opération maximale pour obtenir la meilleure réponse temporelle possible. Parce que le laser émet une impulsion avec une période de 12,5 ns, le *Time Tagger* calcule la différence entre la sortie d'interruption et les pulses de référence donnés par la diode *PIN*. La durée de ces derniers apparaît trop courte pour que le *Time Tagger* la perçoive. Un circuit de traitement sur la carte

de développement conditionne le signal pour l’allonger sans dégrader ses performances temporelles.

4.2.4 Modes d’opération de la puce

Une fois les différentes caractéristiques de la puce validées, il sera possible de l’utiliser dans des exemples d’applications réelles. Cette sous-section expliquera comment recréer des conditions de test pour deux cas d’utilisation précis, l’expérience *nEXO* et la discrimination par forme d’impulsion dans l’argon liquide.

Acquisition typique pour *nEXO*

Le requis de *nEXO* quant à la mesure de scintillation consiste à déterminer l’énergie à l’aide, entre autres, du nombre de photons. La reconstruction de la position provient des détecteurs de charge situés sur la paroi supérieure interne de la chambre à projection temporelle. Le plan actuel pour le circuit d’instrumentation des *SiPM* analogiques implique un détecteur de crête donnant la quantité de photons et une interruption indiquant la présence du maximum. Cette dernière peut être chronométrée. Une information similaire peut également s’obtenir avec la somme numérique et le signal d’interruption. D’abord, le contrôleur reçoit les signaux de plusieurs puces sur une même tuile pour implémenter un algorithme de coïncidence (Figure 3.25). Puis, un nombre suffisant de photons mesuré à l’intérieur de la fenêtre de coïncidence engendre une lecture. Connaissant la signature de la scintillation du xénon, le temps d’acquisition et la durée d’attente seront ajustés à environ 500 ns. Un échantillon unique de la somme numérique donnera ainsi le nombre de photons par circuit intégré.

Un montage simple permet de tester l’*ASIC* avec cette stratégie de discrimination du *DCR* sans nécessiter la scintillation du xénon liquide. Cette mesure utilise une diode électroluminescente (DEL) verte [130] comme source de lumière. Elle génère un court pulse de 100 ns à faible courant. Les *SPAD CMOS 2D* servent de photodétecteurs. Le *FPGA* implémente un algorithme de coïncidence sur 4 puces. Les temps d’attente durent 500 ns. Une boîte noire contenant la carte d’interface réduit la quantité de lumière parasite. Une fenêtre de 500 ns ainsi qu’un seuil de trois photons programmés dans le *FPGA* permettent de s’affranchir de la lumière ambiante et du *DCR*. L’oscilloscope *MSO-X-91304A* capturera la sortie d’interruption, le signal d’acquisition provenant de la coïncidence du *FPGA* et la somme analogique. Le signal d’acquisition sert de référence pour synchroniser le résultat de la somme numérique avec les données exportées par l’oscilloscope tel qu’expliqué à la sous-section 4.2.2.

Acquisition typique pour la discrimination par forme d'impulsion dans l'argon liquide

Afin de valider les acquisitions rapide et lente pour la discrimination par forme d'impulsion, la DEL agit une fois de plus comme source lumineuse. Elle est pulsée sur une durée de 200 ns. Ici, le *FPGA* détecte une coïncidence si chacun des quatre *ASIC* voit deux photons à l'intérieur de 50 ns. En considérant la réponse lumineuse de la DEL au pulse, le circuit intégré est programmé pour enregistrer 50 échantillons rapides à chaque 10 ns pour collecter les photons prompts. Puis 50 échantillons lents avec une période de 50 ns mesurent la décroissance sur 2,5 μ s. La *FIFO* de chaque puce sauvegarde les nombres de comptes pour les transmettre à la fin de l'événement. L'oscilloscope échantillonne la somme analogique et le signal d'acquisition du *FPGA* comme référence temporelle pour les superposer aux résultats de la somme numérique pour la démonstration.

4.2.5 Consommation de puissance

La consommation de puissance représente un des critères majeurs du dispositif à tester et plusieurs facteurs affectent cette mesure. Dans une puce majoritairement numérique, la consommation provient directement de l'activité de chaque pixel. La deuxième dépendance émane de l'horloge de l'*ASIC*. La puissance dissipée augmente avec la fréquence de cette dernière, mais devient négligeable en son absence. Puisque le circuit peut opérer de façon asynchrone et que l'horloge peut n'être envoyée que lorsque nécessaire, le nombre de cycles importe également. La puissance statique complète les contributions. Les sources de polarisation des parties analogiques ainsi que le courant de fuite des transistors créent ces pertes.

Deux méthodes (Figure 4.9) servent à mesurer les courants consommés par l'*ASIC*. La première (4.9a) consiste à connecter un ampèremètre en série avec l'alimentation à qualifier. Un *Picoammeter 6487* de *Keithley* propose une plage dynamique de 2 nA à 20 mA [131]. La deuxième méthode, utilisant une résistance de mesure (4.9b), est nécessaire pour les courants plus élevés. Le multimètre V1 permet de trouver le courant à travers la résistance. Le modèle *URE3* de la compagnie *Rohde & Schwarz* [132] sera également utilisé. Dans les deux cas, la tension d'alimentation aux bornes de la puce sera mesurée pour calculer la puissance. La carte d'interface du circuit intégré dispose de points de test et d'empreintes pour placer les résistances de conversion. Les quatre *ASIC* de la carte d'interface seront polarisés en même temps pour obtenir un plus grand courant mesuré afin de minimiser l'erreur. Les valeurs seront par la suite présentées pour une seule puce. Les prochaines sous-sections indiquent les conditions pour obtenir les différents résultats.

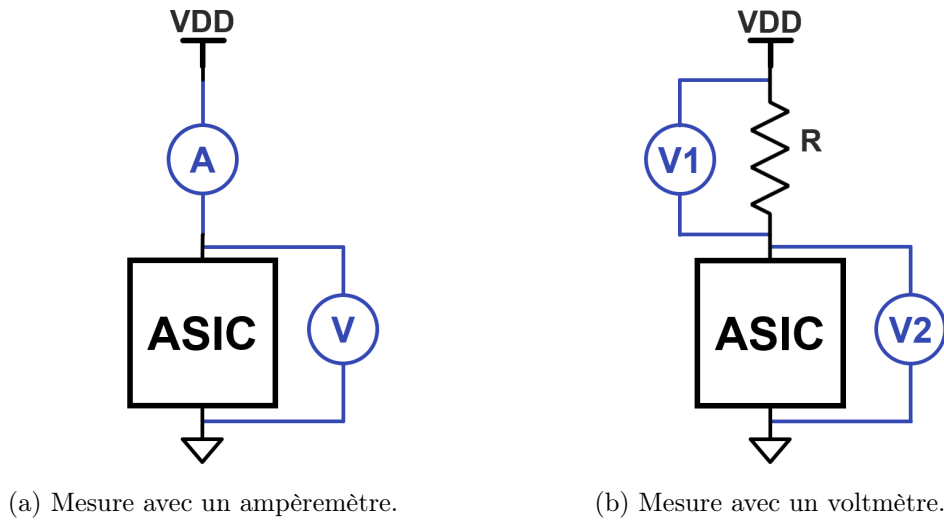


Figure 4.9 Schéma des circuits de mesure de puissance.

Consommation statique

Cette étape ne requiert aucune activité sur les puces. Le résultat obtenu devrait donc rester très faible. Pour cette raison, la méthode 4.9a est employée. Il en résultera trois valeurs. La première se compose de l'électronique frontale du circuit d'étouffement à 5 V. La deuxième inclut le cœur numérique de l'ASIC et la logique des pixels à 1,8 V. La dernière représente les tampons de sorties, également à 1,8 V. Les trois cas utiliseront les mêmes conditions, soit aucune tension de polarisation sur les SPAD, tous les pixels sont activés, aucune horloge et aucun signal de déclenchement ne sont envoyés aux puces. La mesure est effectuée à la température pièce.

Consommation dynamique selon la fréquence d'horloge

Cette caractérisation consiste à mesurer le courant en fonction de la fréquence d'opération de l'horloge. Un script configure une boucle à verrouillage de phase à l'intérieur du FPGA pour générer les diverses fréquences. La résistance de lecture du courant (4.9b) doit être judicieusement choisie afin que la chute de tension à ses bornes n'affecte pas le fonctionnement. Cette différence doit cependant suffire à obtenir une mesure valide. La tension d'alimentation aux bornes de la puce sera également mesurée pour calculer la puissance et compenser la perte dans la résistance. Le résultat devrait présenter une dépendance linéaire dont l'extrapolation à fréquence nulle montrera la consommation statique. La procédure testera le domaine à 1,8 V du cœur du circuit intégré de même que les tampons de sortie, puisqu'eux seuls subissent les transitions de l'horloge. Leur résistance respective sera de $10\text{ m}\Omega \pm 1\%$ et $4,7\text{ }\Omega \pm 1\%$. La sortie de déverminage sera configurée pour extraire

le signal d'horloge et ainsi amener différents taux d'activité sur le tampon à caractériser (Figure 4.10).

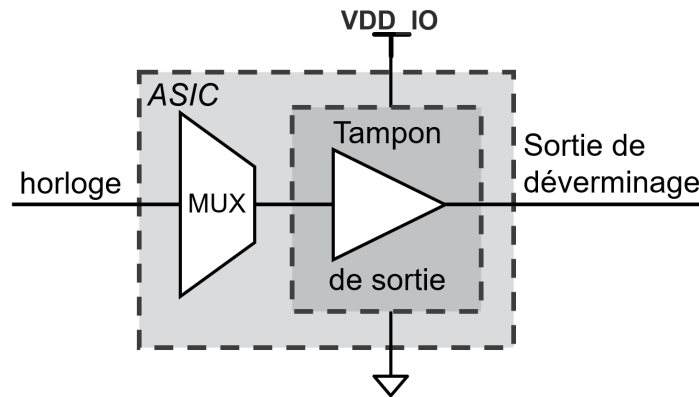


Figure 4.10 Schéma de la configuration de la sortie de déverminage pour mesurer la consommation de puissance des tampons de sortie.

Consommation en fonction du taux d'événement en entrée

Les 61 *SPAD* serviront à faire cette mesure. Une haute tension de 50 V sera appliquée pour les polariser et ils seront tous actifs. En variant leur exposition à la lumière, différents taux de compte seront générés, sans toutefois saturer les détecteurs. Pour chaque configuration, le *FPGA* comptera les événements de la sortie d'interruption et deux puissances seront mesurées (méthode 4.9b). Le domaine à 5 V du circuit d'étouffement et le cœur numérique de la puce à 1,8 V utiliseront chacun une résistance de $4,7 \Omega \pm 1 \%$. Une durée d'attente de 400 ns, un temps de recharge de 10 ns et une durée du signal d'interruption de 10 ns complèteront les conditions d'opération. Le circuit intégré ne transmettra aucune donnée et aucune horloge ne sera envoyée. Une estimation des précédentes expérimentations mènera finalement à la consommation pour transmettre les données.

Au terme de ce chapitre, le lecteur connaît le matériel et les procédures pour tester le dispositif. La caractérisation complète de ce micro-système numérique complexe s'avère une tâche ardue. Beaucoup de codes et de scripts sont requis pour bien valider toutes les fonctionnalités. Les laboratoires fournissent tous ces équipements pour terminer l'étude du circuit intégré.

CHAPITRE 5

RÉSULTATS ET ANALYSE

Le chapitre précédent a présenté le matériel et la méthodologie pour caractériser la puce. Ce chapitre s'attardera aux résultats découlant des expérimentations réalisées.

5.1 Caractérisation des *SPAD* intégrés en 2D

5.1.1 Tension de claquage des *SPAD*

Les résultats suivants proviennent de la méthode de la courbe IV avec la puce de *SPAD*. À température pièce, un courant de $500 \mu A$ amène des tensions en inverse de 53,3 V et en direct de 812 mV. Pour le balayage dans la chambre environnementale, les valeurs sont illustrées à la Figure 5.1. La jonction présente une variation de 55,34 mV par degré soit près de 20 % sur la plage d'opération de 100 K à 300 K. Alors que la méthode de la courbe IV permet de caractériser une diode sans électronique de lecture, utiliser le taux de comptage numérique en fonction de la polarisation devient plus intéressant pour une perspective système. Même avec un détecteur tout assemblé comme *nEXO*, contrôler la tension et balayer chaque *SPAD* suffirait pour obtenir une mesure de calibration dans l'expérience.

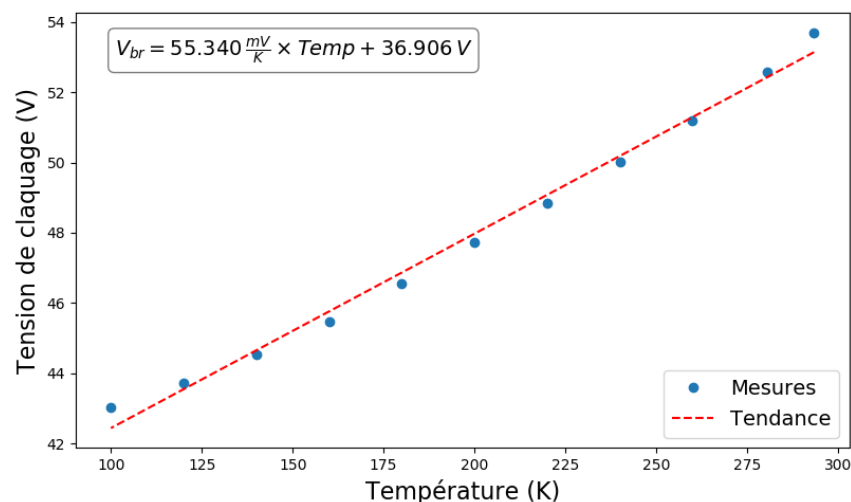


Figure 5.1 Tension de claquage des *SPAD* en fonction de la température.

5.1.2 Taux de comptage dans l'obscurité et bruit post-impulsionnel

À température ambiante, la polarisation externe appliquée aux anodes des *SPAD* 2D correspond à -50 V. Avec les 5 V ajoutés par les circuits d'étouffements et considérant le claquage à 53,5 V, cela laisse uniquement une tension d'excès de 1,5 V ou 2,8 %. Pour les *SPAD* 2D intégrés directement dans le *CMOS*, une valeur absolue de polarisation plus élevée amène le substrat à claquer autour des *SPAD* intégrés dans le *CMOS*. Ce phénomène rend impossible l'augmentation de la tension d'excès pour ces *SPAD*. Ce problème ne sera pas présent avec l'intégration 3D finale.

Les résultats pour chaque *SPAD* en utilisant la sortie d'interruption sont ainsi illustrés à la Figure 5.2. Le taux de comptage non corrélé représente ici le *DCR* qui donne environ 484 comptes par seconde. Sans la diaphonie, le bruit post-impulsionnel constitue la seule contribution au taux de comptage corrélé, soit 5 %. La prochaine étape consisterait à implémenter un algorithme de ZPP en utilisant la somme numérique au lieu du *flag*. Elle permettrait d'activer toute la ligne de 61 *SPAD* et d'observer la diaphonie. De plus, en cryogénie, comme le bruit thermique réduit considérablement, cette méthode diminue le temps d'acquisition pour obtenir les mêmes statistiques. Puisque la sortie d'interruption ne peut distinguer deux détections simultanées, une comparaison avec la somme numérique indiquerait le niveau de diaphonie.

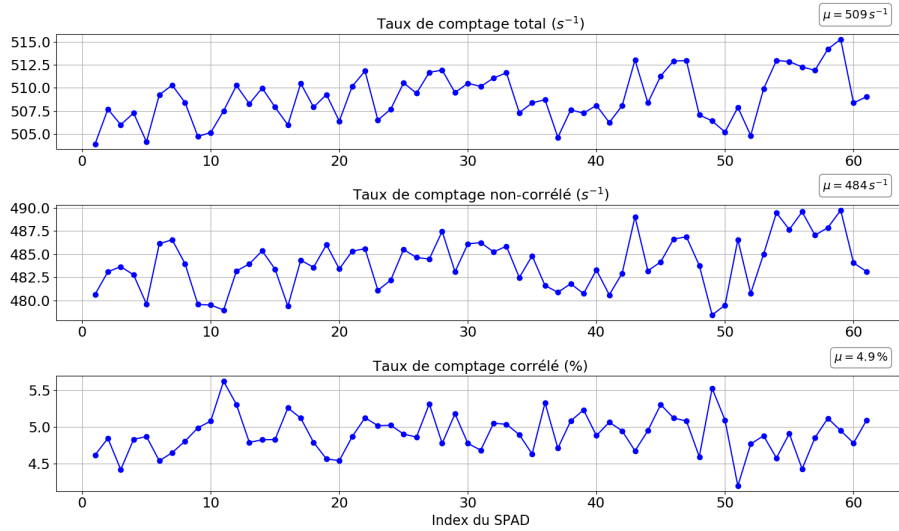


Figure 5.2 Taux de comptage dans l'obscurité et bruit post-impulsionnel des *SPAD* obtenus par la méthode ZPP.

5.1.3 Efficacité de photodétection

La Figure 5.3 illustre un PDE relatif pour chaque longueur d'onde. La courbe en bleu provient de la fiche technique de la diode MPD et sert à convertir la mesure relative entre les $SPAD$ et la référence. En gris se trouve un $SPAD$ en $CMOS$ typique. La trace orange illustre la même saveur de $SPAD$ que celui implémenté dans la matrice. L'ajout d'un masque (RPO) ouvre une fenêtre dans une métallisation au-dessus du $SPAD$, normalement fermée pour du $CMOS$. Cette optimisation permet d'augmenter grandement le PDE . Le maximum de sensibilité à plus de 35 % se situe entre 440 et 580 nm, soit dans la gamme du bleu/vert. Pour une mesure de scintillation de l'argon liquide via un matériau à décalage de longueur d'onde, ces photodétecteurs deviennent très intéressants. Pour une technologie $CMOS$, ces $SPAD$ s'avèrent très prometteurs, par exemple pour des applications en 2D.

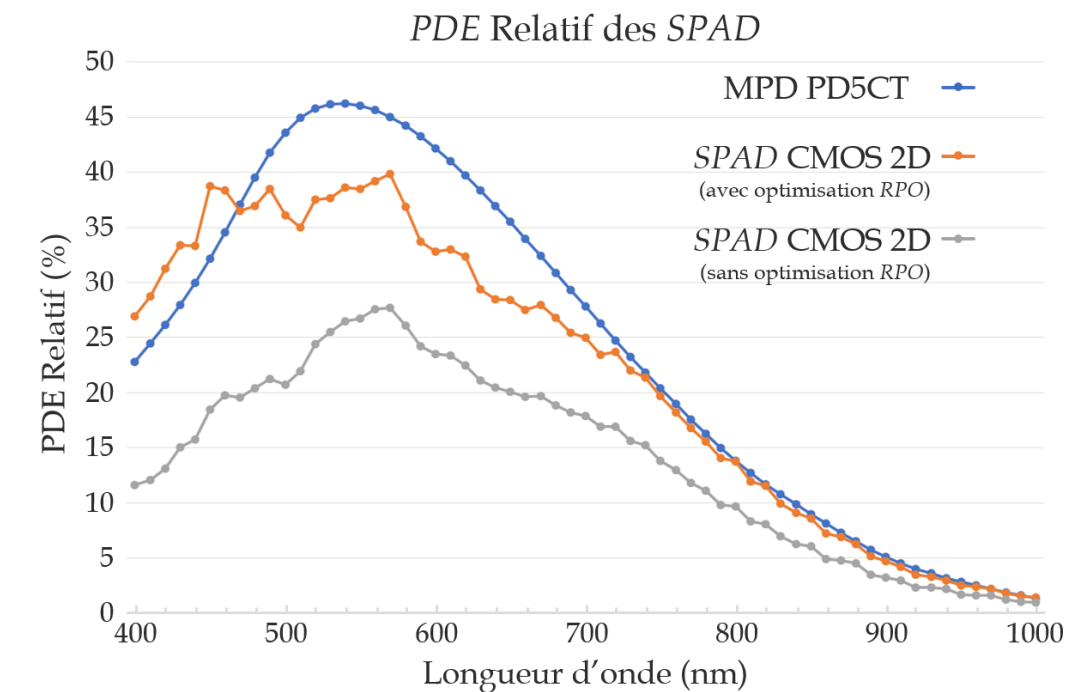


Figure 5.3 Efficacité de photodétection des $SPAD$ en $CMOS$ 180 nm.

5.2 Validation de la logique d'addition des comptes

5.2.1 Étude de la somme analogique

La validation de la somme numérique débute par l'étude de la sortie en courant. Les premières observations avec le montage Apollo 13 confirmaient son fonctionnement, mais avec un niveau de bruit élevé. La première hypothèse l'expliquait par la faible intégrité

des signaux de la plateforme de test. Une résistance de 1 k Ω accomplit la conversion IV, ce qui ralentit la constante de temps à 500 ns. La sortie présente une capacité estimée à 500 pF ou 20 pF/mm² comparativement aux meilleurs *SiPM* de *Hamamatsu* qui offrent 36 pF/mm². Un courant maximum pour un seul pixel donne environ 28 μ A à température pièce. Cette valeur descend à 24 μ A pour la température du xénon et 17,6 μ A pour celle de l'argon. Puis, le nouveau montage et les amplificateurs de transimpédance ont permis de trouver un véritable problème. Les signaux numériques, propagés sur toute la surface du cœur de la puce viennent polluer la somme analogique. La Figure 5.4 en montre un exemple. On y voit la faible amplitude du niveau attendu pour un seul photon, puis la forte diaphonie électrique corrélée au signal d'interruption du même pixel. Ce bruit rend inutilisable la sortie de la somme analogique telle quelle.

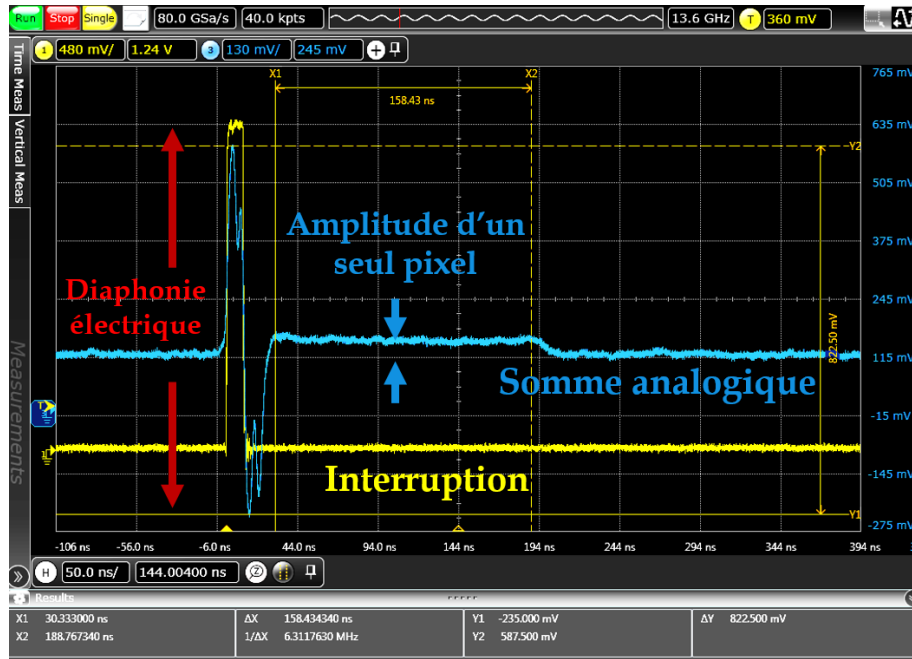


Figure 5.4 Diaphonie électrique sur la somme analogique.

L'identification de la cause du problème permettra de le régler dans la prochaine révision du circuit intégré. La diaphonie provient d'un fort couplage entre deux traces. En analysant le dessin des masques, le nœud de blindage est à très faible distance du maillage de la sortie en courant, soit 600 nm, et ce pour les 64 rangées de pixels de la puce faisant chacune plus de 5 mm de long. Ce blindage avait originalement pour fonction de protéger la somme analogique des signaux numériques. Or, puisque l'impédance de ce nœud est trop élevée, il agit plutôt comme une porte grande ouverte pour les charges parasites. Par simulation avec l'outil *Innovus* de la suite *Cadence*, le Tableau 5.1 résume les nœuds qui possèdent les plus grandes capacités de couplage. Le Tableau 5.2 présente quelques valeurs point à

point de résistance du nœud de blindage. Ces valeurs proviennent du logiciel *Calibre* de *Mentor Graphics* avec une extraction sélective de certains nœuds. La prochaine révision supprimera potentiellement le blindage autour de la somme analogique et le remplacera par un espace sans conducteurs.

Tableau 5.1 Capacités parasites de couplage dans la puce.

Capacités (pF)	Signal d'interruption	Arbre de déclenchement	Horloge numérique	Somme analogique
Retour de courant (VSS)	2,4	1,6	4,9	-
Nœud de blindage (VSS_SH)	38,5	32,1	121,4	70,4

Tableau 5.2 Résistance point à point du nœud de blindage.

Point à point ¹	Milieu gauche à milieu droit	Milieu haut à milieu bas	Haut gauche à bas droit
Résistance (Ω)	2,11	4,37	6,51

¹ Positions en regardant la puce du dessus, les plots en bas, les *SPAD* en haut.

En attendant d'effectuer la deuxième révision de l'*ASIC* pour valider la somme numérique, des modifications au circuit d'amplification de la somme analogique permettent de l'utiliser. Un amplificateur de gain en tension remplace la configuration transimpédance instable due à la capacité de sortie de la puce. La conversion IV s'effectue dans une résistance de 49,9 Ω . Le Tableau 5.3 présente le gain des étages. L'ajout de filtrages retire la diaphonie. Le Tableau 5.4 résume les différentes périodes de coupure. Avec une constante de temps de l'ordre de 50 ns, ce filtrage supprime l'effet du signal d'interruption sur la sortie analogique sans trop dégrader les fronts. Cependant, quand l'horloge est envoyée pour lancer une acquisition et transmettre les données, il reste encore un certain niveau de bruit. Si l'horloge possède une période inférieure à 100 MHz, ou pour une acquisition à moins de 30 MHz, le filtrage ne présente plus d'efficacité. La Figure 5.6 montre une sortie propre lorsqu'aucune activité numérique ne se produit. Elle se compare à celle d'un *SiPM* analogique. Deux circuits intégrés à application spécifique (*ASIC*) sont configurés avec des temps d'attente différents. L'empilement de plusieurs pixels se voit dans les deux cas. Cette version corrigée suffira donc à valider la somme numérique.

5.2.2 Logique d'addition des comptes

Les premières validations entre les sommes analogique et numérique proviennent du montage Apollo 13. Puisque la conversion s'effectue par une résistance de 1 k Ω et la capacité totale de la sortie en courant approche le 500 pF, ce filtrage réduit suffisamment le niveau

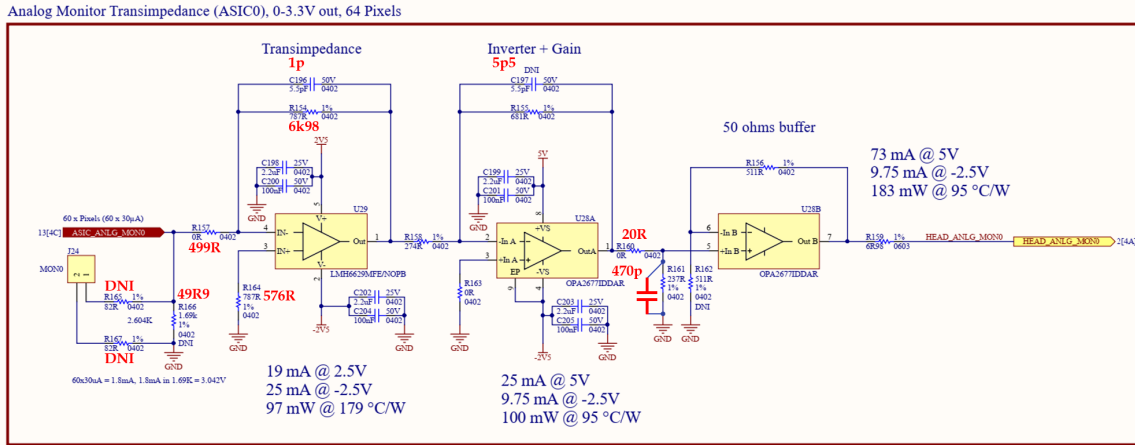


Figure 5.5 Schéma modifié de l'électronique frontale de la somme en courant.

Tableau 5.3 Gain des étages du circuit d'amplification de la somme en courant.

	R166 (V/A)	LMH6629 (V/V)	OPA2677-A (V/V)	Filtre (V/V)	OPA2677-B (V/V)	Sortie (V/V)	Total (V/A)
Calcul	$499R \parallel 499R$	$6k98 / 499R$	$681R / 274R$	$237R / 237R + 20R$	1,00	$50 / 50 + 6R98$	
Valeur calculée	45,36	13,99	2,49	0,92	1,00	0,88	1279,27
Simulation	45,37	13,96	2,47	0,92	0,99	0,88	1253,88
Mesure	-	-	-	-	-	-	1200-1250

Tableau 5.4 Périodes de coupure des étages du circuit d'amplification de la somme en courant.

	LMH6629 (ns)	OPA2677-A (ns)	Filtre (ns)
Calcul	$(499R \parallel 6k98)1p$	$(681R \parallel 274R)5p5$	$(237R \parallel 20R)470p$
Valeur calculée	2,93	6,75	54,47

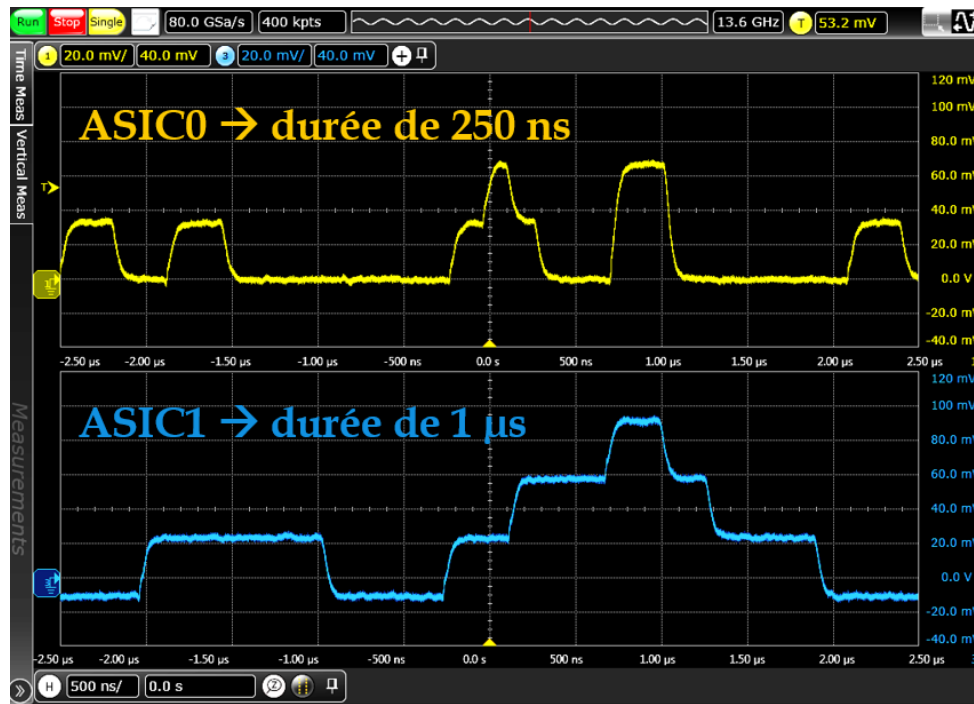


Figure 5.6 Sortie analogique filtrée avec aucune activité numérique.

de bruit. Les deux modes de synchronisation (section 3.6) peuvent donc être observés en configurant un long temps d'attente pour pallier la diminution de la bande passante de la somme analogique.

La synchronisation d'état à la Figure 5.7 affiche en jaune la somme analogique et en vert le signal d'interruption mesurés avec l'oscilloscope *MSO-X-91304A* avec les sondes différentielles actives. Les valeurs en rouge proviennent de la lecture numérique retransmise au *FPGA*. Ce mode de fonctionnement permet d'obtenir le même résultat qu'une somme en courant échantillonnée avec un convertisseur analogique-numérique à quelques différences près. En effet, la somme binaire utilise comme signal d'entrée l'état de chaque pixel. Au moment de l'acquisition, le statut de chaque *SPAD* est gelé et envoyé vers l'additionneur. De son côté, la capacité parasite de la sortie analogique, liée à la grande résistance de lecture entraîne un certain délai sur la mesure ainsi que des transitions plutôt lentes. Certains points en rouge sur la figure tombent sur ces transitions. De plus, dans ce mode d'acquisition, la sortie du pixel dépend fortement de la durée de son temps d'attente avant la recharge. Ce temps doit dépasser la période d'échantillonnage pour éviter de manquer des comptes. Lorsque plusieurs photons arrivent en même temps, retrouver le début et la fin de chaque pulse devient difficile. Par exemple, ce comportement apparaît à 40 μ s sur la Figure 5.7.

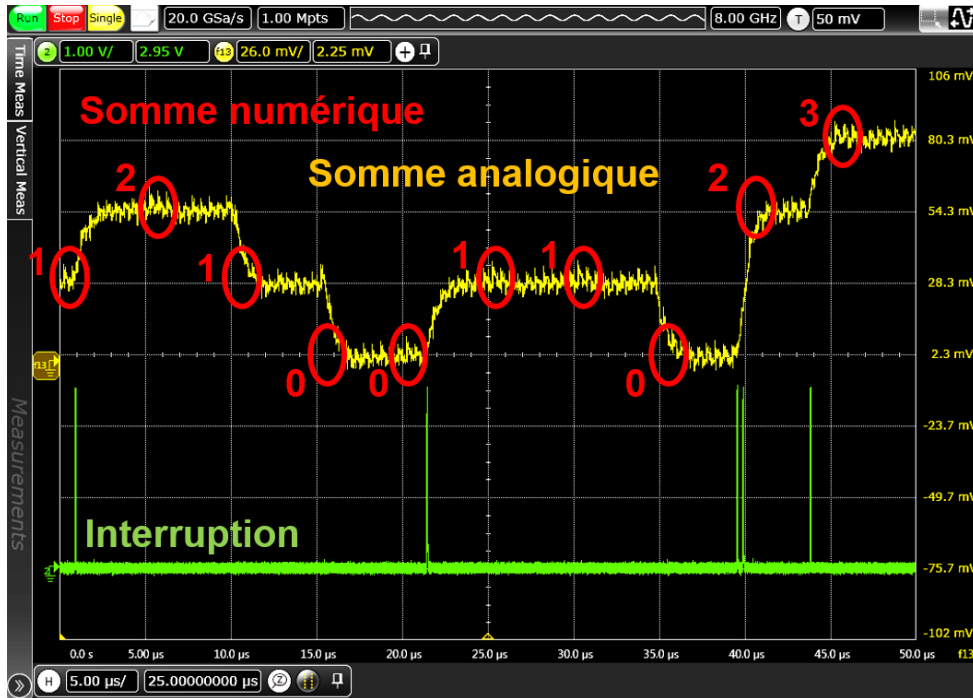


Figure 5.7 Validation de la synchronisation d'état avec le montage Apollo 13.

Le deuxième mode d'acquisition à tester consiste à exécuter la somme des transitions montantes à la sortie des pixels. Ce mode s'affranchit de la durée du temps d'attente. Dans la Figure 5.8, l'échelle de temps de l'oscilloscope concorde avec la période d'échantillonnage numérique. Chaque intervalle délimité en rouge donne le nombre de photons détectés pour cette même fenêtre de temps. Le résultat se compare à un compteur sur la sortie du signal d'interruption. Par l'usage d'un additionneur, deux pixels peuvent se déclencher en même temps et ils ne seront pas perdus. À partir de la gauche sur la figure, le premier intervalle contient une valeur de 20 puisque pour ce test, 20 pixels étaient activés et ils ont tous fait feu au moins une fois depuis la dernière acquisition. Puis, pour les intervalles suivants, le nombre de *flag* et l'amplitude de la somme analogique concordent avec le résultat de la somme. La somme numérique indique bel et bien le nombre de pixels déclenchés pendant un intervalle. Dans le cas d'un *DCR*, l'état de la mémoire du pixel nécessite une remise à zéro ou l'écrasement de cet élément. Par exemple, dans la figure, le premier intervalle ne contient pas d'information pertinente sur l'événement ici illustré et serait rejeté au post-traitement.

Les deux figures décrites précédemment proviennent de captures d'écrans d'oscilloscope avec une superposition manuelle des résultats numériques. La Figure 5.9 découle de la nouvelle plateforme de tests et d'un script de combinaison en Python. L'axe de gauche en rouge indique le nombre de photons détectés par la somme numérique et celui de

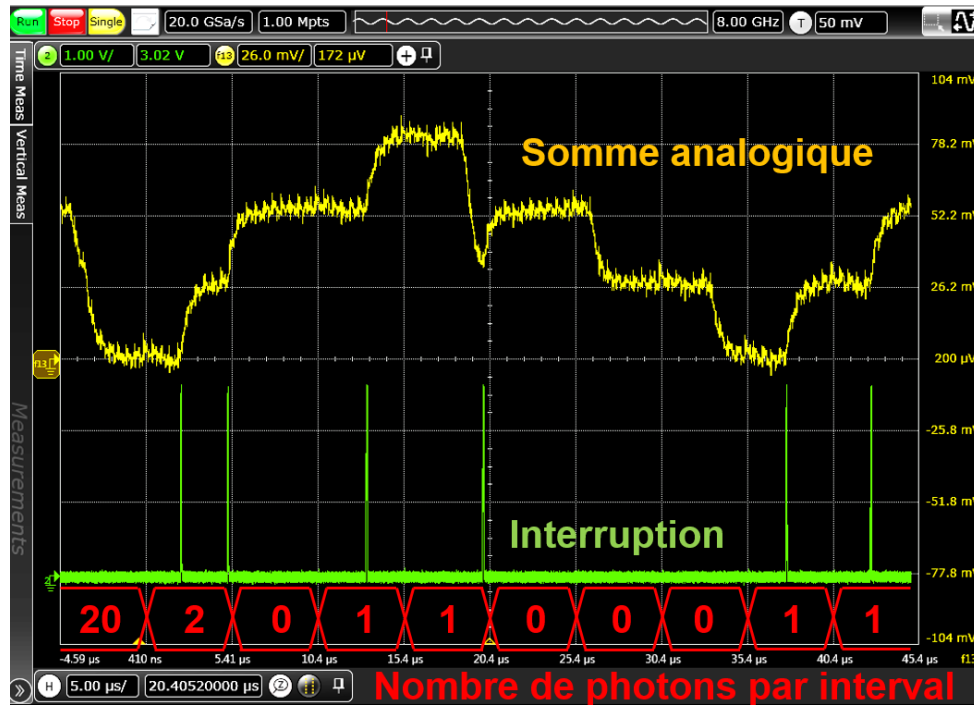


Figure 5.8 Validation de la synchronisation de transition avec le montage Apollo 13.

droite en noir présente la tension de la somme analogique. En mesurant l'amplitude de la somme analogique pour un seul photon, soit 35 mV, un ajustement de la plage de l'axe vertical permet aux deux échelles de concorder. L'amplitude du signal d'interruption a été normalisée à environ 80 % de la figure pour en permettre la visualisation. Encore une fois, cette acquisition d'état confirme la correspondance entre les sommes numérique et analogique. Cependant, la diaphonie électrique permet difficilement de tester plus en profondeur. Cette seule combinaison de la sortie en courant et du signal d'interruption offre néanmoins une validation satisfaisante et ne montre aucun problème majeur.

5.3 Mesure de la distribution temporelle de l'arbre de détection des photons

5.3.1 Résultats avec l'arbre de déclenchement

Le *Time Tagger Ultra* de *Swabian Instruments* et les deux cartes permettent de mesurer la distribution du délai en fonction de la position du pixel. Le graphique ainsi généré comprend la contribution de l'arbre de déclenchement de même que de l'arbre de détection des photons. Pour comparer et apprécier le résultat, la Figure 5.10a illustre d'abord ce

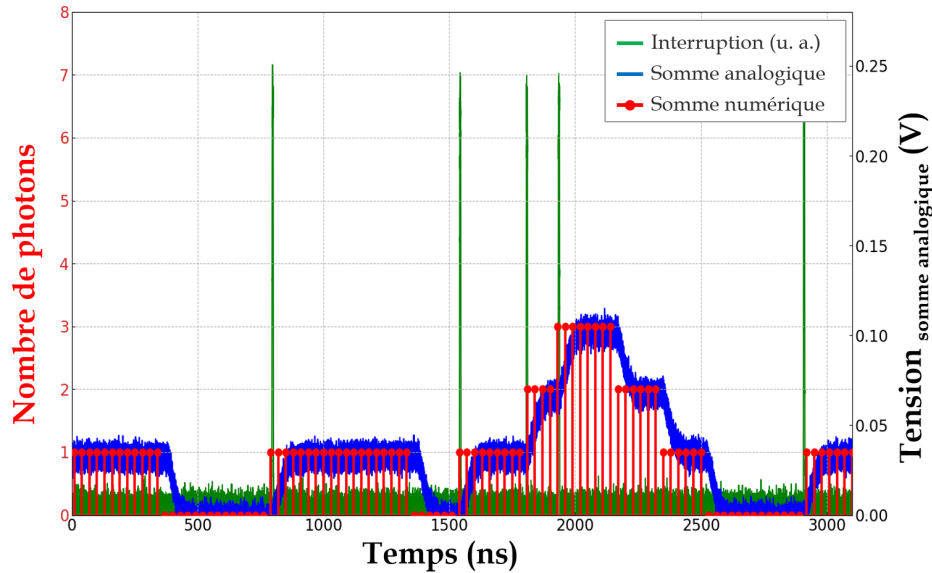


Figure 5.9 Acquisition de la somme numérique avec les cartes de développement et d'interface.

résultat à partir des données de simulation dans lesquelles les contributions des 2 arbres peuvent être identifiées. L'arbre de déclenchement génère la partie importante du délai puisque même avec l'ajout de la sortie d'interruption son allure correspond toujours à la Figure 3.16. La Figure 5.10b présente la mesure.

Cette distribution ne présente pas la rangée de *SPAD*. Lors de la mesure, la capacité ajoutée par ces derniers augmente le délai d'environ 3,5 ns (Figure 5.11). Ces valeurs ne seront pas incluses dans l'histogramme puisque dans l'application finale, chaque pixel disposerait de son *SPAD*, ce qui éliminerait cet écart. Cette différence de délai pourrait peut-être servir à diagnostiquer le bon fonctionnement du collage 3D.

Placés sous forme d'un histogramme, les délais de tous les pixels révèlent deux pics (Figure 5.12a). Le plus élevé en amplitude regroupe les 4035 pixels qui ne possèdent pas de *SPAD*, reproduit à la Figure 5.12b. Le délai de ce mode se situe à 10,8 ns. Les 61 pixels avec des *SPAD* forment le deuxième pic, centré à 14,2 ns, reproduit à la Figure 5.12c. En considérant tous les pixels avec la disparité causée par la capacité des *SPAD*, l'écart-type est très grand, soit 426,2 ps *RMS*. En gardant uniquement les pixels sans photodétecteur, cette valeur tombe à 92,7 ps *RMS*. Enfin, la rangée de pixels avec les *SPAD* possède un écart type de 63,6 ps *RMS*.

L'histogramme de la Figure 5.13a reprend les données sans les *SPAD* de la Figure 5.12b en y ajoutant la simulation de l'arbre de déclenchement et du signal d'interruption. Les tracés

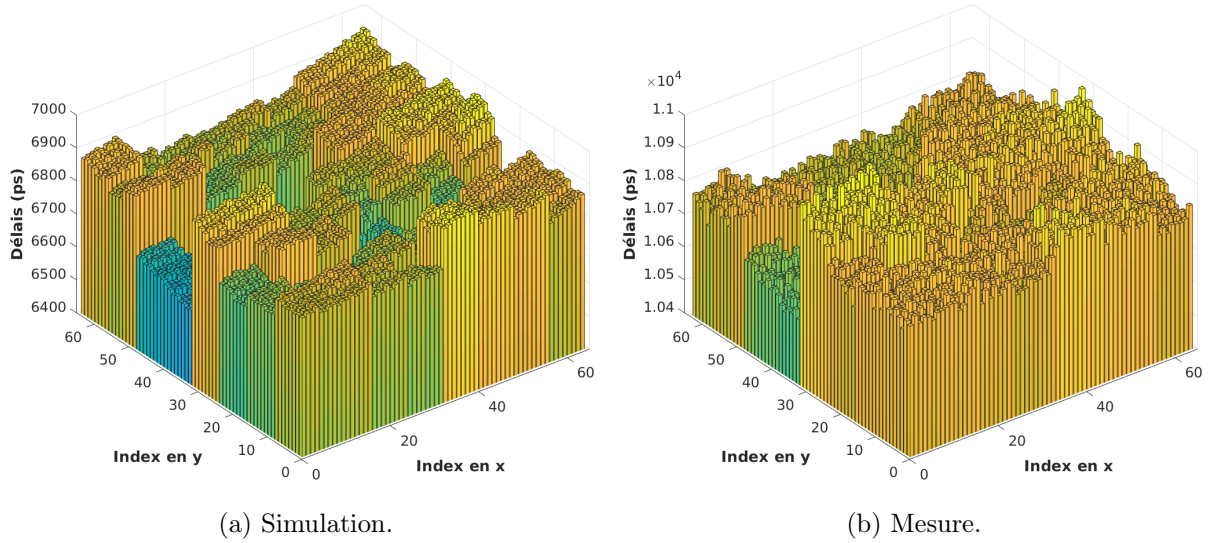


Figure 5.10 Distribution du délai par pixel incluant l'arbre de déclenchement.

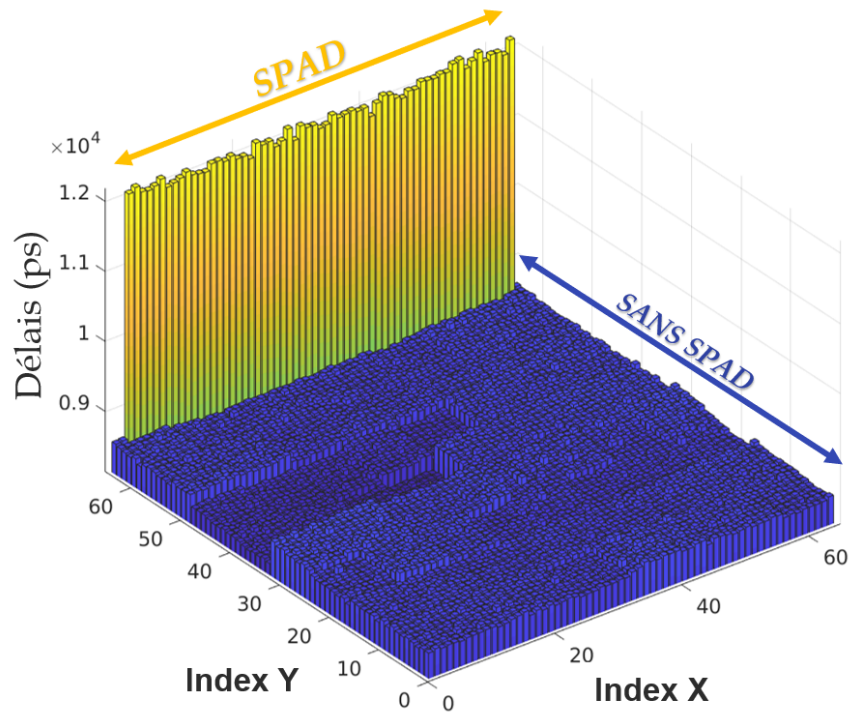


Figure 5.11 Distribution du délai avec les *SPAD*. Les *SPAD* ajoutent un délai supplémentaire par leur capacité.

jaune et orange représentent respectivement la simulation de ces derniers et leur somme en mauve. De toute évidence, l'arbre de déclenchement domine la tendance. Cependant, le circuit intégré ne permet pas de trouver expérimentalement la contribution de l'arbre de déclenchement pour obtenir uniquement la contribution de l'arbre de détection. La

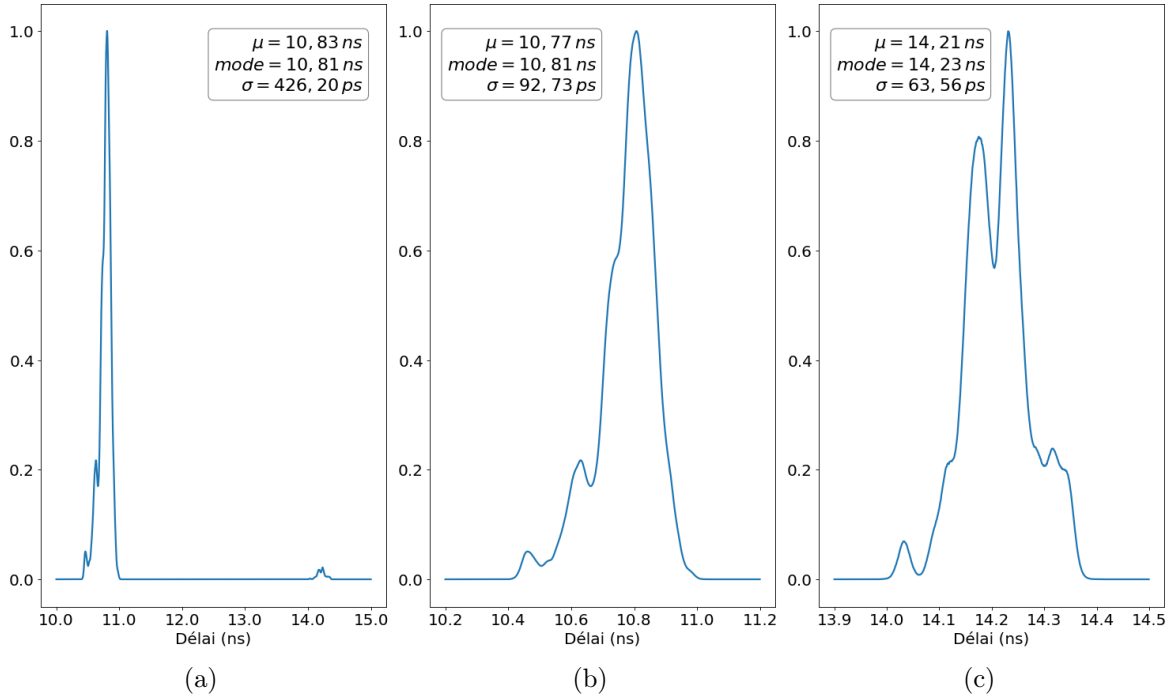


Figure 5.12 Histogrammes normalisés en amplitude du délai par pixel incluant l'arbre de déclenchement pour (a) tous les pixels, (b) les 4035 pixels sans *SPAD* et (c) seulement les 61 pixels avec des *SPAD*.

courbe bleue illustre la mesure effectuée, contenant les deux arbres. La méthode utilisée pour tenter une estimation consiste à soustraire pixel par pixel le délai de simulation de l'arbre de déclenchement aux résultats expérimentaux. La différence entre la simulation et la mesure ne provient pas uniquement de l'arbre de déclenchement, mais cette estimation du pire cas fournit un écart-type de 40,6 ps *RMS* sur l'arbre de détection qui alimente la sortie d'interruption (Figure 5.13b, courbe orange).

5.3.2 Résultats avec les *SPAD* et montage optique

La mesure de la distribution temporelle en utilisant les *SPAD* et le montage optique permet de s'affranchir de la contribution de l'arbre de déclenchement. Un histogramme de délai pour chaque *SPAD* comme celui de la Figure 5.14 permettra ensuite de reconstruire le délai pour chaque pixel. Cependant, à cause de la nature de la jonction des *SPAD* et leur bruit non corrélé, la moitié droite du tracé ne suit pas cette tendance. Un ajustement gaussien sur la partie gauche extrait le délai moyen, qui correspond au maximum de la distribution, ainsi que son écart type.

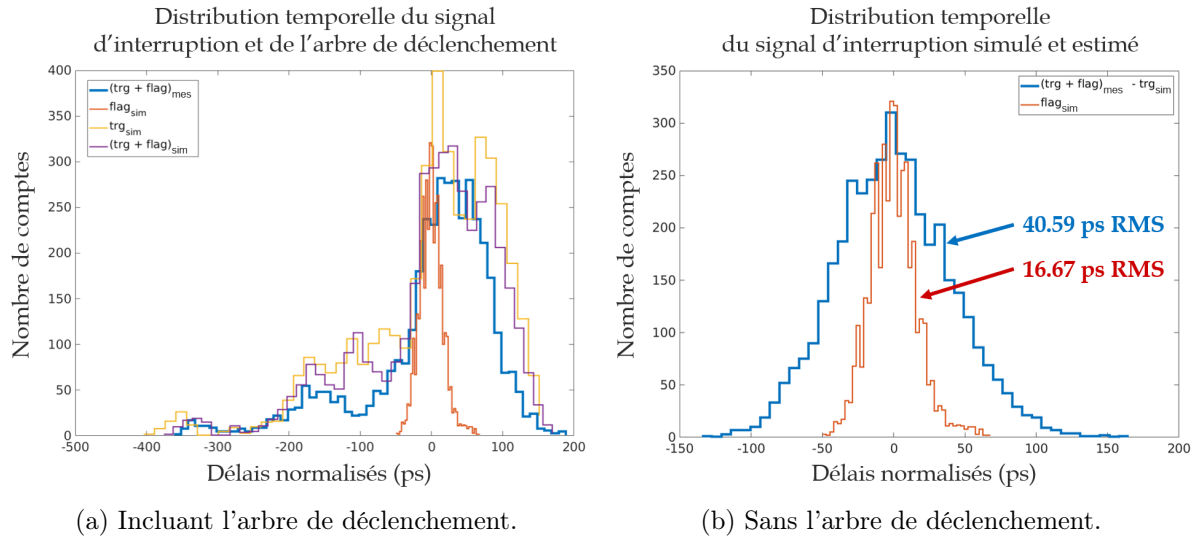


Figure 5.13 Histogrammes comparant les simulations au mesures.

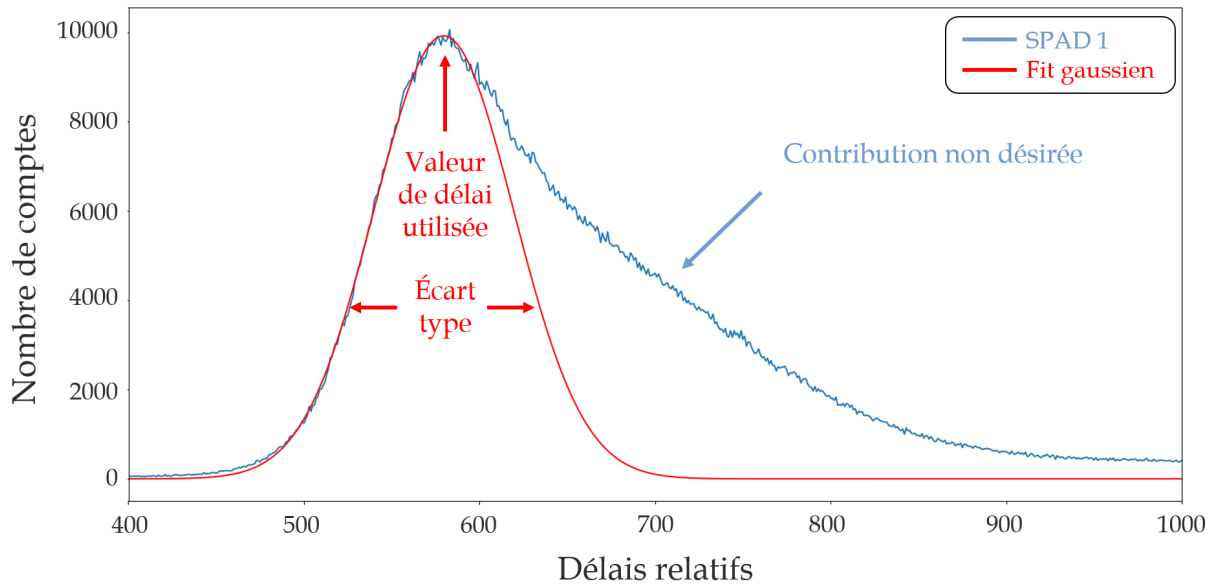


Figure 5.14 Détermination du délai moyen par pixel possédant un *SPAD*.

Une fois les informations de chaque *SPAD* obtenues pour les quatre *ASIC*, un classement des délais en fonction de l'index du *SPAD* rend la comparaison avec la simulation plus facile. Pour effectuer une meilleure analyse, la moyenne de chaque distribution est soustraite. Le résultat apparaît à la Figure 5.15. À première vue, les mesures semblent suivre la même tendance que la simulation, mais avec un certain écart. La Figure 5.16 regroupe les *SPAD* de chaque puce sous forme d'histogrammes avec la valeur attendue par simulation. Une disparité ressort entre les quatre circuits. La première hypothèse provient du routage de la carte d'interface qui ne paraît pas identique pour chaque *ASIC*. Des tests avec un autre échantillon du circuit imprimé aideraient à tirer de plus amples conclusions à ce sujet. D'ici là, les résultats demeurent plus que satisfaisants.

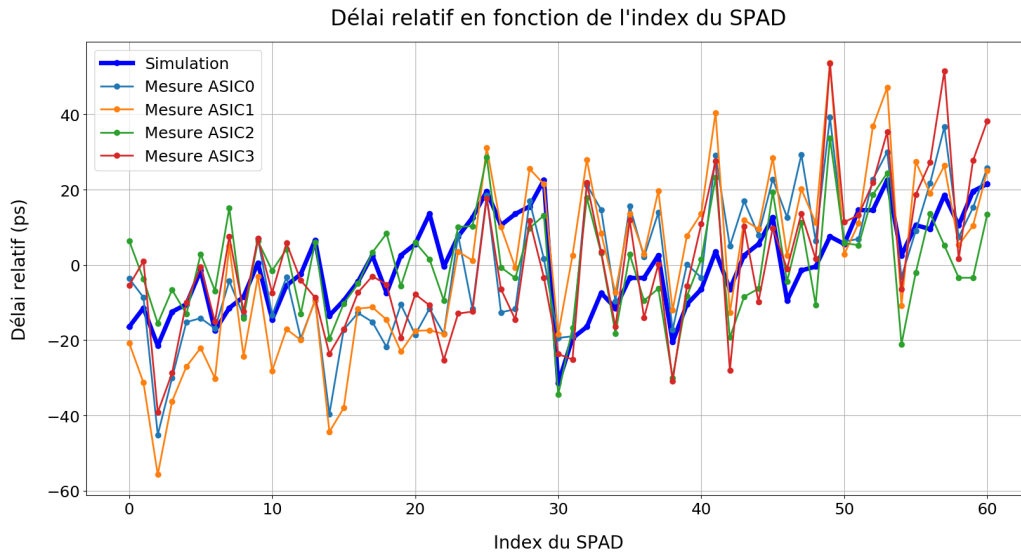


Figure 5.15 Délai relatif en fonction de l'index du pixel possédant un *SPAD*.

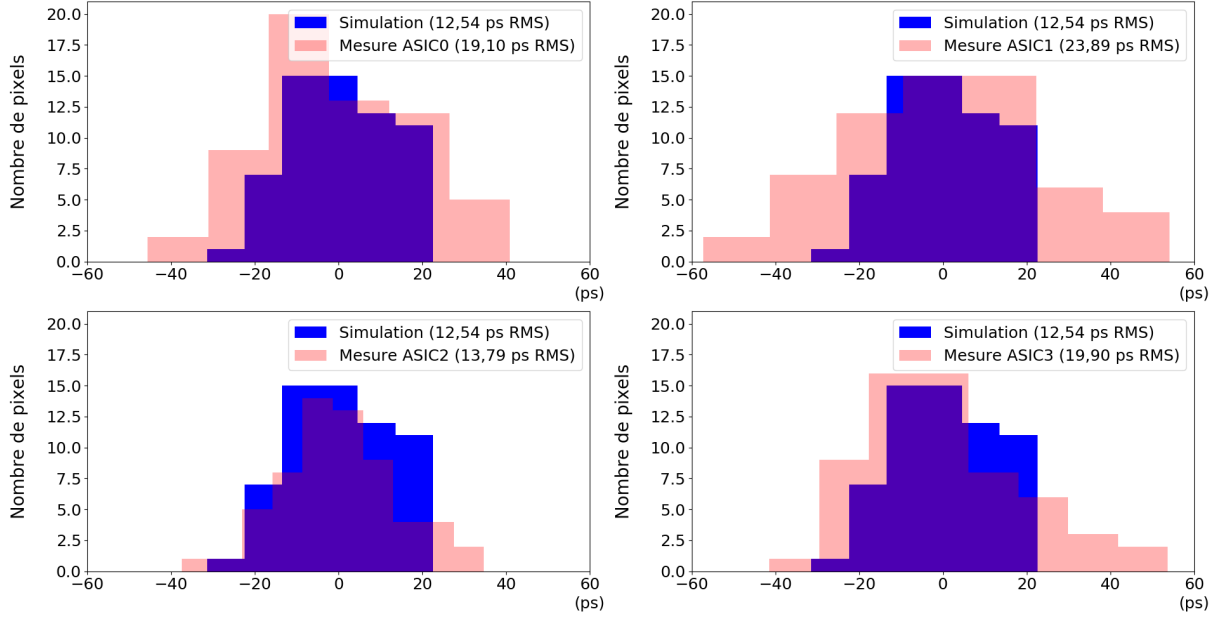


Figure 5.16 Histogramme des délais de l'arbre de détection pour les 61 pixels utilisant des *SPAD* comme source de déclenchement.

L'analyse de la distribution temporelle de l'arbre de détection des photons démontre le bon fonctionnement de la puce. Le plan de test original prévoyait d'utiliser une lithographie grossière pour relier les interconnexions 3D afin de caractériser sans l'arbre de déclenchement. Les efforts et le temps nécessaire à implémenter cette méthode ne semblent pas pertinents pour l'instant. En effet, même avec la contribution de l'arbre de déclenchement, les écarts de délais par pixel, augmentant la gigue temporelle à la sortie d'interruption, restent en dessous du requis de 250 ps *RMS*. Les deux types de mesures donnent beaucoup de crédibilité aux modèles utilisés dans les simulations. Les valeurs réelles sont plus élevées avec raison, puisque la représentation numérique ne tient pas compte de tout, par exemple les variations de tension d'alimentation. Finalement, le circuit possède une résolution temporelle globale de moins de 90 ps *RMS* comparativement aux exigences de 250 ps.

5.4 Modes d'opération de la puce

Pour donner suite aux résultats présentés précédemment, cette section expliquera comment tirer avantage des différentes fonctionnalités de la puce pour l'expérience *nEXO* et la discrimination par forme d'impulsion dans l'argon liquide. Une DEL permettra de générer des photons pour simuler la scintillation.

5.4.1 Acquisition typique pour *nEXO*

La mesure de la Figure 5.17 montre deux cas d'opération de l'algorithme de discrimination. En regardant la figure de la gauche vers la droite, la DEL est activée pendant 100 ns, un peu avant le temps de -500 ns. Un premier photon est ensuite détecté. La sortie analogique monte alors. La fenêtre de coïncidence de 500 ns débute également. Cinq interruptions sont produites durant cette fenêtre, ce qui dépasse le seuil programmé de trois et le *FPGA* lance une lecture à la fin de la fenêtre. Le résultat est ici représenté en rouge et l'axe de gauche indique ce nombre de photons. L'axe de droite réfère à la tension de la somme analogique et les deux valeurs concordent à 6 photons, ce qui démontre le fonctionnement. Après la fin de cet événement, une autre interruption intervient. Une deuxième fenêtre démarre, mais cette fois, l'événement n'atteint pas le seuil de trois et est rejeté. Le contrôleur ne lit pas la somme pour diminuer la consommation de puissance. La diaphonie électrique entre les signaux numériques de la puce et la sortie analogique en courant cause le pulse sur le tracé bleu apparaissant peu après l'acquisition. Ce problème, tel que présenté précédemment, sera revu dans la prochaine révision.

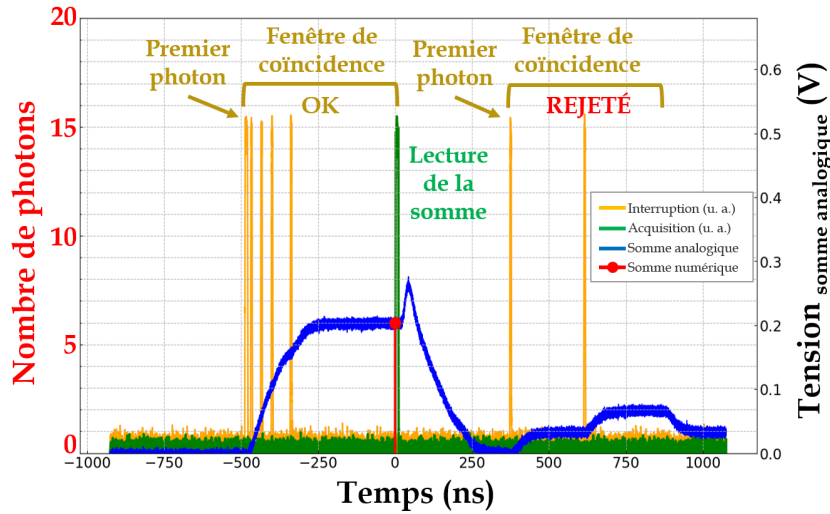


Figure 5.17 Acquisition typique mesurée pour *nEXO*.

5.4.2 Acquisition typique pour la discrimination par forme d'impulsion dans l'argon liquide

La Figure 5.18 illustre la mesure d'une seule des quatre puces lors d'une acquisition typique servant à la discrimination par forme d'impulsion. Les points rouges de la figure représentent la somme numérique. L'addition des 50 premiers échantillons rapides donne 1491 photons prompts contre 1635 photons pour la totalité de l'événement. Une fraction

de prompts de 0,912 serait atteinte ici, ce qui concorde avec l'allure de la figure, puisque beaucoup plus de photons sont émis dans la première partie de l'événement.

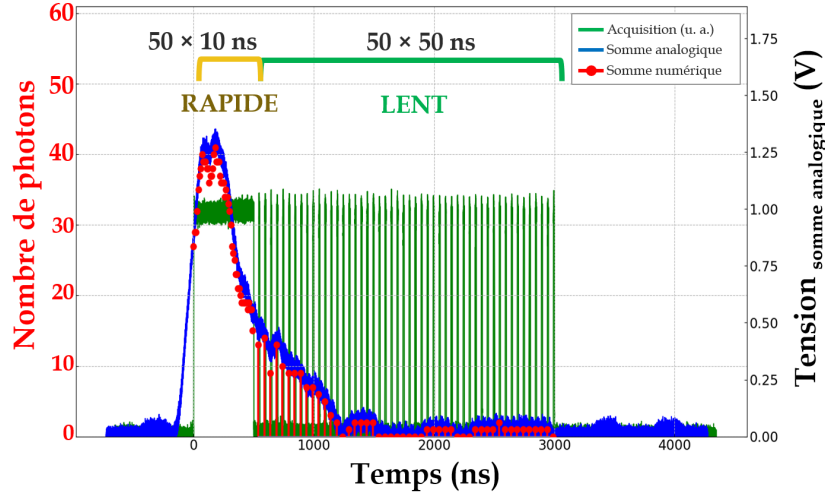


Figure 5.18 Acquisition typique mesurée pour reproduire la discrimination par forme d'impulsion dans l'argon liquide.

Un inconvénient de cette implémentation tire son origine du temps mort au début de l'acquisition. Il provient du délai de l'arrivée du photon sur le photodétecteur, de la propagation jusqu'au *FPGA*, mais surtout de la durée de la fenêtre de coïncidence. En effet, dans le cas présenté, l'acquisition ne démarre qu'avec l'atteinte des critères de la coïncidence. Les méthodes (a) et (c) présentées à la Figure 3.26 de la sous-section 3.12.2 peuvent également pallier ce problème, mais ne sont pas encore implémentées dans le *FPGA*.

5.5 Consommation de puissance

5.5.1 Consommation statique

La première étape pour effectuer le bilan passe par la détermination de la consommation statique. Pour chaque domaine d'alimentation, une valeur de courant est mesurée lorsqu'aucune activité n'apparaît. Cela se traduit par l'absence d'horloge numérique. Les *SPAD* sont également non polarisés. Le Tableau 5.5 illustre ces consommations de puissance.

La somme de la puissance statique sur tous les domaines d'alimentation totalise 65 μW . Sur le domaine à 1,8 V, les pertes en courant de fuite de l'électronique s'élèvent à 2,24 μA . Cette consommation est distribuée sur la superficie complète du cœur numérique de la puce, soit $5,0 \times 5,08 \text{ mm}^2$. Le reste de la contribution, de 10,88 μA , émane des sources de polarisation nécessaires pour ajuster les temps d'attente, de recharge et la durée du

Tableau 5.5 Mesures de consommation statique sur les domaines d'alimentation.

Nom du domaine	Tension (V)	Courant statique (μ A)	Puissance statique (μ W)	Contribution (%)
Circuit d'étouffement (VDD_QC)	5,00	8,26	41,30	63,37
Cœur numérique (VDD_CORE)	1,80	13,12	23,60	36,21
Tampons de sortie (VDD_IO)	1,80	0,15	0,27	0,41
Total	S.O.	S.O.	65,17	100,00

signal d'interruption. La somme de ces deux valeurs totalise 13,12 μ A sur le 1,8 V. Pour l'alimentation à 5 V, la majeure partie de la consommation statique du circuit d'étouffement provient également de la source de courant de référence pour les monostables, soit 8,26 μ A. Comme le domaine d'alimentation des tampons de sortie ne possède pas de source de polarisation, la puissance statique est très faible, soit environ 270 nW.

5.5.2 Consommation dynamique selon la fréquence d'horloge

Le graphique de la Figure 5.19 affiche la mesure de consommation dynamique en fonction de la fréquence de l'horloge. Il illustre également deux résultats intéressants. D'abord, l'ordonnée à l'origine correspond à la consommation statique du cœur numérique de la puce mesurée précédemment, soit 23,60 μ W. Puis, comme attendu, la consommation suit une relation linéaire avec la fréquence. Selon la courbe de tendance, chaque transition d'horloge prend une énergie d'environ 1,8 nJ. Cependant, cette valeur s'avère trop élevée par rapport au requis initial de 250 μ W. En effet, pour une application dans l'argon liquide avec un échantillonnage à 10 ns (100 MHz), la consommation dynamique constituerait approximativement 180 mW pour un seul circuit intégré avec une horloge en continu. Toutefois, puisque l'*ASIC* est conçu pour opérer avec une horloge intermittente, une utilisation intelligente diminuera cette consommation.

Dans le but de réduire d'avantage la consommation dans la prochaine révision, un effort supplémentaire permet d'identifier la contribution des différents éléments du circuit. Au moment de la conception, la simulation de puissance avec les outils numériques ne s'était pas avérée fructueuse. La connaissance de la consommation mesurée aide à produire un modèle théorique. D'abord, une analyse du design final indique le nombre total de bascules et de portes logiques connectées sur l'arbre d'horloge. Puis, pour chaque cellule, la fiche technique de la bibliothèque numérique donne la puissance dynamique en fonction de la fréquence d'opération. Enfin, la capacité parasite de l'arbre de distribution d'horloge

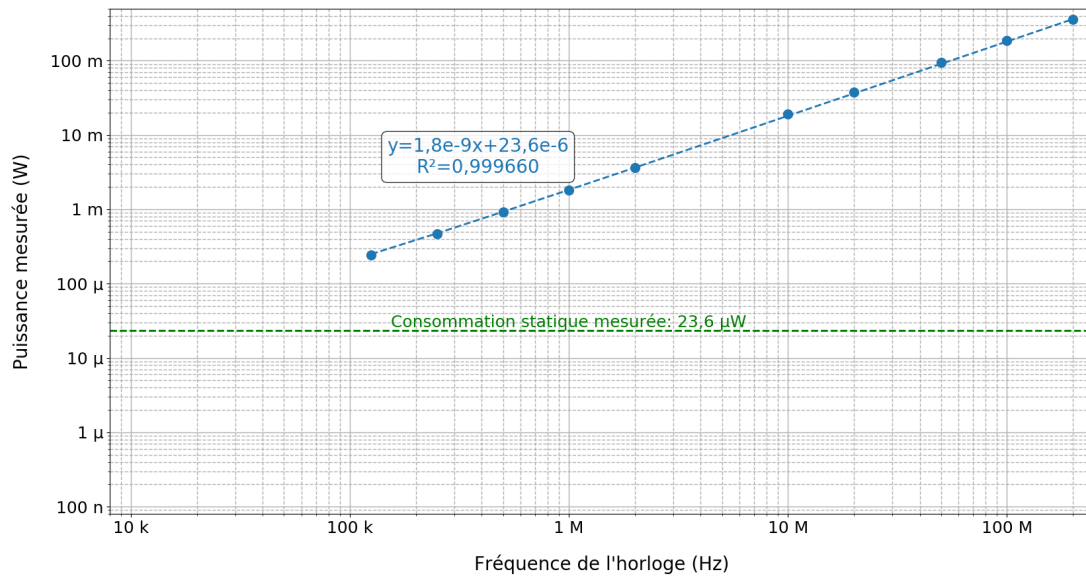


Figure 5.19 Puissance mesurée du cœur numérique en fonction de la fréquence de l'horloge.

est considérée dans la consommation. Le modèle a été appliqué aux mêmes fréquences que la mesure et il semble assez fidèle. Par exemple, à 100 MHz, le modèle indique une consommation de 160 mW alors que la mesure donne 180 mW. La répartition est présentée à la Figure 5.20.

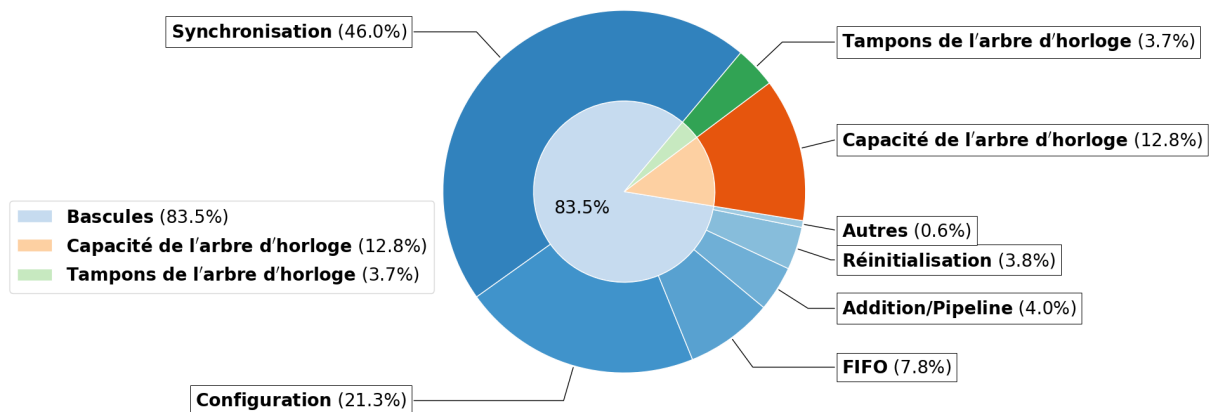


Figure 5.20 Distribution de la consommation de puissance dynamique.

La distribution de la puissance provient principalement des bascules à près de 84 %. La puce contient 19916 registres connectés sur le domaine d'horloge. Que cette porte logique change d'état ou non, chaque transition d'horloge amène de la dissipation dynamique. De plus, les fonctionnalités qui en comptent le plus ou qui se répètent à chaque pixel ont beaucoup plus d'impact. En première place se trouve le circuit de synchronisation qui utilise trois bascules par pixel pour un total de 12288. En deuxième viennent les registres de

configuration qui en contiennent une par pixel et quelques autres pour une somme de 4149. La troisième contribution provient de la *FIFO* avec ses 1838 éléments. Cependant, toutes ces bascules n'ont pas besoin de recevoir l'horloge à tout moment. Une simple technique d'activation sélective d'horloge (*Clock gating*) permettrait de diminuer la consommation dans la prochaine révision. En effet, les registres de configuration n'ont besoin de l'horloge que pour reprogrammer la puce. La synchronisation ne requiert l'horloge que pendant une acquisition. Le même signal d'horloge a été utilisé sans désactivation afin de réduire les risques de cette première version.

La Figure 5.20 illustre également la dissipation de puissance due à la capacité de l'arbre d'horloge. Quoiqu'elle ne représente que 13 %, cette contribution peut être réduite et amener d'autres avantages. Comme à la section 5.2, les signaux numériques causent de la diaphonie sur la sortie de la somme analogique à cause du couplage trop fort entre cette dernière et le nœud de blindage. Or, cette même protection entoure l'arbre d'horloge. L'objectif initial consistait à préserver les nœuds critiques des agresseurs. Une capacité d'environ 120 pF entre le blindage et l'arbre d'horloge est observée en simulation, alors que seulement 5 pF séparent le reste du nœud avec le retour (*VSS*). Cela s'explique par la distance de 0,28 μm entre le nœud de blindage et l'horloge. La capacité augmente rapidement sur un cœur numérique d'une taille de $5 \times 5 \text{ mm}^2$. Une meilleure approche consisterait à enlever ce blindage, le remplacer par un espacement et protéger les nœuds victimes à la place. Cette solution permettrait de réduire les pertes liées à la capacité de l'arbre d'horloge d'un facteur 25.

Finalement, la puissance des tampons de sortie est mesurée à diverses fréquences d'opération (Figure 5.21). La valeur définitive dépendra de la capacité des interconnexions du *PCB* ou de l'interposeur qui raccorde les signaux. En comparant avec l'horloge qui dépense 1,8 nJ par transition, un seul tampon de sortie utilise 85 pJ, ce qui est environ 20 fois moins.

5.5.3 Consommation en fonction du taux d'événements en entrée

Le troisième phénomène de consommation provient du taux d'événements en entrée, soit des photons ou du bruit. Deux domaines d'alimentation sont impliqués, soit 5 V et 1,8 V pour le circuit d'étouffement alors que le cœur numérique utilise uniquement le 1,8 V. Indépendamment de l'horloge, les circuits à 1,8 V suivent une tendance linéaire par rapport au taux de comptage des pixels (Figure 5.22).

La Figure 5.23 présente la mesure de la partie 5 V de la puce. Les mesures suivent une équation quadratique jusqu'à 60 Mcps. Parce que le circuit servira à des taux de l'ordre du

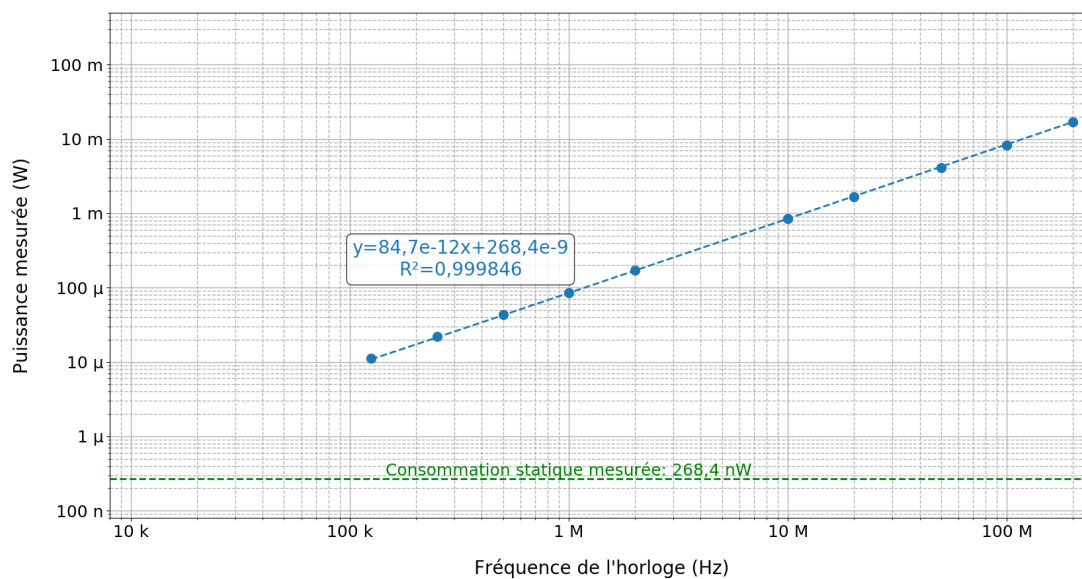


Figure 5.21 Puissance mesurée des tampons de sortie en fonction de la fréquence d'opération.

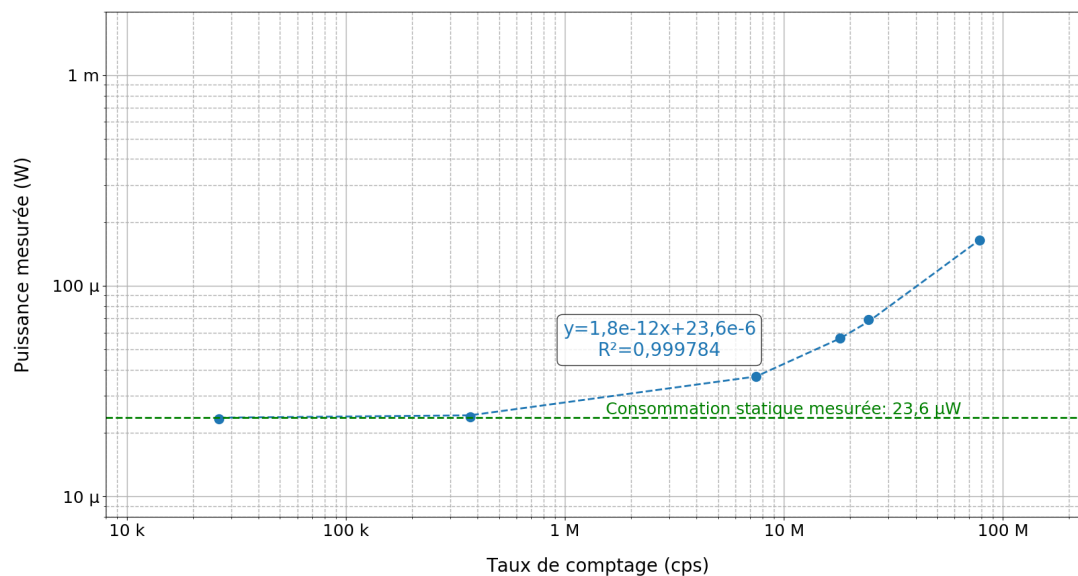


Figure 5.22 Puissance mesurée de la matrice en fonction du taux de comptage (1,8 V).

kilohertz pour *nEXO*, ce modèle convient pour la plage de 0 à 60 Mcps. Les deux dernières valeurs mesurées à des taux de comptage plus élevés divergent de la tendance. L'hypothèse provient du fait qu'avec beaucoup de comptes, certains photons arrivent pendant de la recharge. Un fort courant d'avalanche se développe et ne s'éteint qu'à la fin du temps de recharge sur le cycle suivant. La probabilité de ce phénomène augmente lorsque plusieurs photons frappent la matrice, ce qui ne représente pas les cas typiques d'utilisation de la puce. La Figure 5.24 résume la puissance totale en fonction de taux d'événements en entrée sur les deux domaines. La plus grande contribution provient de la portion du circuit d'éteignement à 5 V puisque cette électronique frontale interface directement les *SPAD*.

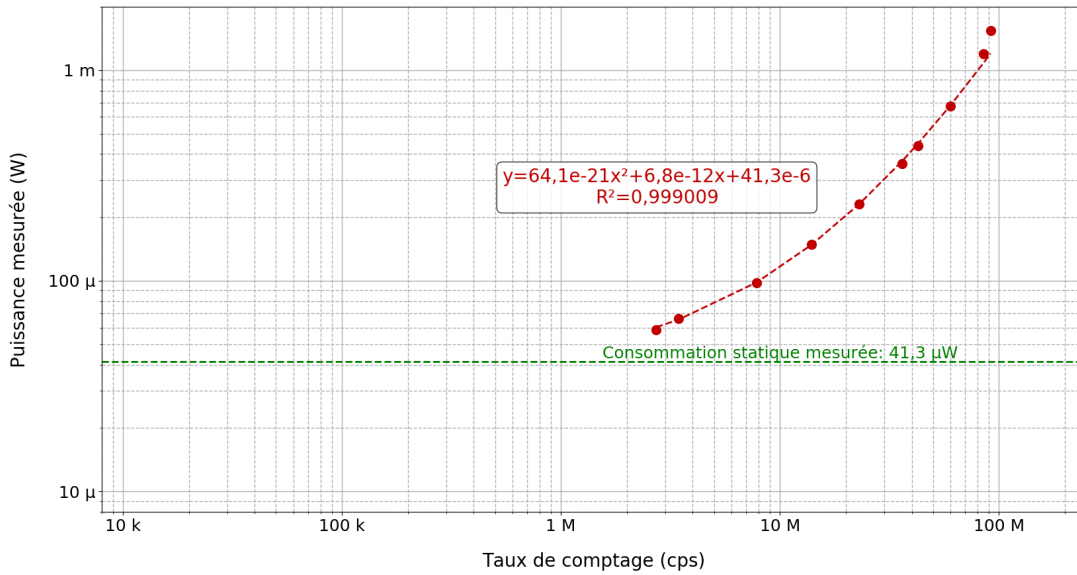


Figure 5.23 Puissance mesurée de la matrice de circuits d'éteignement en fonction du taux de comptage (5 V).

5.5.4 Consommation de puissance spécifique à chaque application

Avec la consommation de chaque circuit identifiée, l'estimation pour une application donnée s'avère maintenant possible. Avec la surface photosensible à couvrir pour *nEXO* de 4 m^2 , la taille de la matrice de *SPAD* de 25 mm^2 , le système nécessitera un total d'environ 160 000 puces. Le bruit d'obscurité, qui ne doit pas dépasser 50 comptes par secondes par millimètres carrés, domine le signal d'entrée de cette expérience. On obtient 1250 comptes par seconde sur un *3DdSiPM*. Considérant le mode d'acquisition présenté à la sous-section 5.4.1, la communication du résultat requiert 30 cycles d'horloge. Si aucun algorithme ne discrimine le *DCR*, chaque événement serait transmis. L'équation 5.1 donne la consommation dynamique liée à l'horloge. La dissipation en fonction du taux d'activité sera estimée avec la formule 5.3 qui provient de la Figure 5.24. Pour les tampons

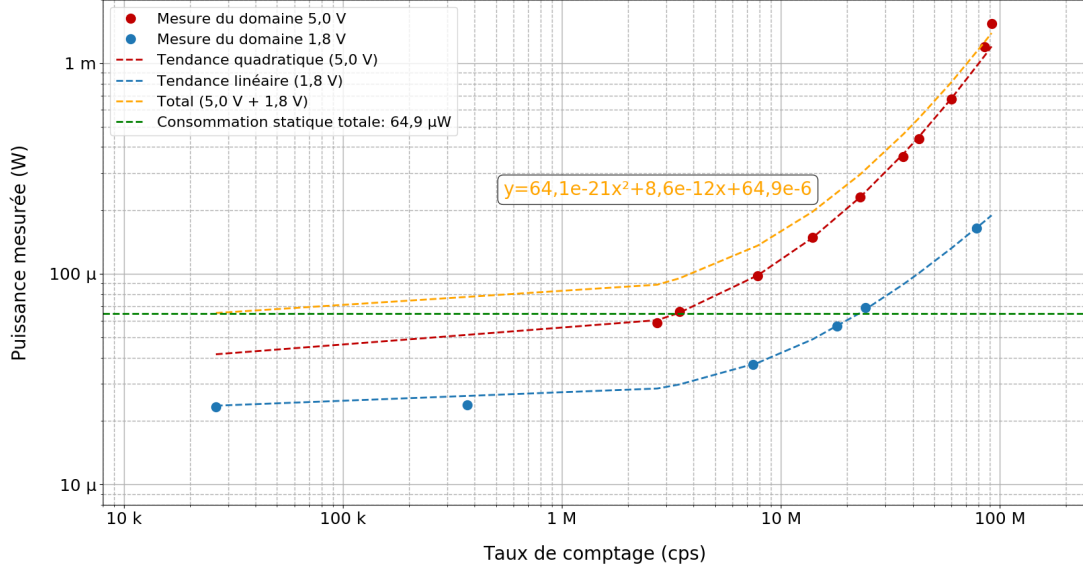


Figure 5.24 Puissance totale de la matrice en fonction du taux de comptage.

de sortie, 20 cycles d'horloge servent à extraire les données. Le cas maximal d'activité où les bits changeraient à chaque période d'horloge est utilisé (équation 5.2). Finalement, l'ajout de la dissipation statique aux calculs précédents amène à l'entièreté de la consommation. L'équation 5.4 mène à un total inférieur à 140 μW. Le détecteur *nEXO* au complet consommerait moins de 22 W pour effectuer la conversion photon-numérique. Cette valeur reste très conservatrice. En incluant un filtre pour discriminer le bruit d'obscurité ainsi qu'en lisant seulement les puces avec des comptes, les pertes dynamiques deviendraient négligeables. Le circuit nécessiterait donc 65 μW ou un total de 10,4 W pour la partie photodétecteurs de l'expérience, ce qui correspond au courant statique de l'électronique.

$$\begin{aligned}
 P_{horloge} &= E_{horloge} \times Nb_{cycles\ horloge/événement} \times Taux\ d'événements \\
 &= 1,8\ nJ \times 30\ cycles/compte \times 1250\ comptes/s \\
 &= 67,5\ \mu W
 \end{aligned}
 \tag{5.1}$$

$$\begin{aligned}
 P_{tampons} &= E_{tampon} \times Nb_{cycles\ horloge/événement} \times Taux\ d'événements \\
 &= 85\ pJ \times 20\ cycles/compte \times 1250\ comptes/s \\
 &= 2,13\ \mu W
 \end{aligned}
 \tag{5.2}$$

$$\begin{aligned}
P_{\text{événements}} &= 64,1 \times 10^{-21} (T_{\text{taux d'événements}})^2 + 8,6 \times 10^{-12} (T_{\text{taux d'événements}}) \\
&= 10,75 \text{ nW}
\end{aligned} \tag{5.3}$$

$$\begin{aligned}
P_{\text{total } nEXO} &= P_{\text{horloge}} + P_{\text{Tampons}} + P_{\text{événements}} + P_{\text{statique}} \\
&= 67,5 \text{ } \mu\text{W} + 2,13 \text{ } \mu\text{W} + 10,75 \text{ nW} + 65,17 \text{ } \mu\text{W} \\
&= 134,8107 \text{ } \mu\text{W}
\end{aligned} \tag{5.4}$$

Pour une application dans l'argon liquide, la consommation sera calculée différemment. Le Tableau 2.3 donne le bruit d'obscurité des *SiPM FBK*. Le pire des deux *SiPM* possède un *DCR* de 0,5 compte par secondes par millimètre carré. Le taux d'activité par puce constituera 12,5 comptes par seconde. Dans l'expérience *DarkSide-20k*, la surface photosensible à couvrir formera 14 m^2 [7]. Pour appliquer la discrimination par forme d'impulsion dans l'argon, les acquisitions s'effectuent par trames. En considérant 200 ns d'échantillonnage rapide à 10 ns puis 10 μs avec une période de 200 ns, on obtient respectivement 20 et 50 échantillons. La formule 5.5 permet de trouver le nombre de cycles d'horloge pour exécuter et lire l'acquisition, soit 1420. L'équation 5.6 donne une consommation dynamique d'environ 32 μW , ce qui reste en dessous de la valeur calculée pour le xénon, puisque le *DCR* des *SPAD* s'avère moindre. En refaisant les mêmes calculs que pour *nEXO* avec ces nouveaux paramètres (équations 5.7, 5.8, 5.9), chaque puce dissiperait moins de 100 μW , ou 4 $\mu W/mm^2$. En comparaison, le module de photodétection (*PDM*) pour *DarkSide-20k* présenté à la sous-section 2.2.4 opère à une puissance maximale de 100 $\mu W/mm^2$. L'expérience complète requerrait 56 W pour la numérisation des photons avec un *3DdSiPM*, soit 25 fois moins qu'avec les *PDM*.

$$\begin{aligned}
Nb_{\text{cycles horloge}} &= (Nb_{\text{éch. rapides}} + Nb_{\text{éch. lents}}) \times Nb_{\text{cycles horloge/éch.}} + Nb_{\text{éch. rapides}} \\
&= (20 \text{ éch. rapides} + 50 \text{ éch. lents}) \times 20 \frac{\text{cycles}}{\text{éch.}} + 20 \text{ éch. rapides} \\
&= 1420 \text{ cycles}
\end{aligned} \tag{5.5}$$

$$\begin{aligned}
P_{horloge} &= E_{horloge} \times Nb_{cycles \ horloge/événement} \times Taux \ d'événements \\
&= 1,8 \ nJ \times 1420 \ cycles/compte \times 12,5 \ comptes/s \\
&= 31,95 \ \mu W
\end{aligned} \tag{5.6}$$

$$\begin{aligned}
P_{tampons} &= E_{tampon} \times Nb_{cycles \ horloge/événement} \times Taux \ d'événements \\
&= 85 \ pJ \times 1400 \ cycles/compte \times 12,5 \ comptes/s \\
&= 1,488 \ \mu W
\end{aligned} \tag{5.7}$$

$$\begin{aligned}
P_{événements} &= 64,1 \times 10^{-21} (Taux \ d'événements)^2 + 8,6 \times 10^{-12} (Taux \ d'événements) \\
&= 107,5 \ pW
\end{aligned} \tag{5.8}$$

$$\begin{aligned}
P_{total \ LAr} &= P_{horloge} + P_{Tampons} + P_{événements} + P_{statique} \\
&= 31,95 \ \mu W + 1,488 \ \mu W + 107,5 \ pW + 65,17 \ \mu W \\
&= 98,6081 \ \mu W
\end{aligned} \tag{5.9}$$

5.6 Discussion

Les résultats présentés précédemment permettent de conclure que la puce fonctionne. En reprenant les requis de la section 3.1 et en ajoutant les données recueillies, on obtient le Tableau 5.6.

La taille de l'*ASIC* mesure moins que la granularité de départ d'un centimètre carré. Le contrôleur peut également combiner les comptes de plusieurs puces pour transmettre moins de détails vers le système d'acquisition. La période d'échantillonnage minimale atteint 10 ns par conception, soit la limite haute du requis. Opérer plus rapidement nécessiterait de la logique supplémentaire, ce qui augmenterait la consommation. Le temps d'intégration peut être configuré de plusieurs manières. Premièrement, le temps d'attente du circuit s'ajuste jusqu'à plus de 10 μ s. Le contrôleur peut alors effectuer la prise de donnée au moment voulu. Pour un échantillonnage sur une plus longue durée, l'acquisition hybride présentée à la section 3.7 permet plus de flexibilité. Le bruit d'obscurité n'est pas comptabilisé

Tableau 5.6 Atteinte des requis du *dSiPM* conçu.

	<i>nEXO</i>	<i>PSD</i>	Atteinte
	Scintillation	Scintillation	des requis
	<i>LXe</i>	<i>LAr</i>	(<i>LXe/LAr</i>)
Granularité [mm^2]	20×20	20×20	5×5
Période d'échantillonnage [ns]	500	1-10	10
Temps d'intégration [μs]	0,1	1-20	>0,01
Bruit d'obscurité [cps/ mm^2]	50	0,1	S.O.
Puissance permise [μW]	250	S.O.	140/100 ³
Température d'opération [$^{\circ}C$]	-110	-185	-180 ⁴
Taille des <i>SPAD</i> [μm]	50	50	78
Facteur de remplissage ¹ [%]	80	80	80,6
Résolution temporelle ² [ps <i>RMS</i>]	S.O.	250	<100

¹ Ratio entre la zone photosensible et la taille du circuit intégré.

² Résolution atteinte sur la détection du premier photon.

³ 140 μW en opération dans le xénon, 100 μW dans l'argon.

⁴ Température minimum de l'échantillon dans la chambre environnementale.

ici, puisque le résultat intéressant doit provenir des *SPAD* en trois dimensions et non des *SPAD CMOS* intégrés en 2D. La puissance totale demeure inférieure au requis en utilisant la puce dans un mode d'opération intelligent. L'horloge envoyée uniquement pour la lecture octroie des valeurs attendues de 140 et 100 μW pour respectivement le xénon et l'argon liquide. La plus basse température d'opération de cette dernière explique la plus faible consommation. En effet, le circuit subit moins d'activité avec moins de bruit d'obscurité. Pour la géométrie de l'électronique, une taille de pixel plus grande permet de brancher correctement toute la logique nécessaire aux pixels. Le facteur de remplissage de l'aire photosensible divisée par la surface totale donne 80,6 %. Les structures d'intégration en trois dimensions et des plots d'interconnexion pour le microcâblage limitent cette valeur. Enfin, la résolution temporelle mesurée à moins de 90 ps *RMS* sur la sortie d'interruption reste largement en dessous de la spécification pour les applications dans l'argon liquide. Une marge persiste pour les systèmes en aval (convertisseur temps-numérique).

Les mesures de consommation de puissance révèlent un inconvénient mineur. En effet, puisque la puce contient deux domaines d'alimentation, soit 5 V et 1,8 V, l'utilisateur doit respecter une certaine séquence. Le circuit d'étouffement doit obligatoirement recevoir l'alimentation numérique 1,8 V avant l'analogique à 5 V. Sinon, un court circuit appa-

raît entre les transistors de l'électronique frontale de la recharge et de la désactivation. Alors que la solution facile consiste à contraindre l'ordre d'allumage, une modification mineure pourra corriger le problème dans la prochaine révision afin de ne plus nécessiter de séquence de démarrage. Malgré ce problème mineur et la diaphonie électrique, la puce peut opérer dans les différents modes requis. De plus, la conception de la carte d'interface pour le microcâblage a soulevé certaines difficultés au niveau de l'intégration. En effet, le nombre d'entrées et sorties s'avère un peu élevé. Originellement, la conception prévoyait que le même signal de contrôle pourrait piloter plusieurs puces directement. La réalisation requiert des tampons de dispersion (*fanout*). Ce détail complexifie l'intégration des *ASIC* sur une tuile. Une deuxième révision permettra d'amener le produit à maturité.

CHAPITRE 6

CONCLUSION

6.1 Sommaire

Ce mémoire décrit les étapes de la conception et de la validation d'un circuit numérique de lecture d'une matrice de photodiodes à avalanche monophotonique à faible consommation. Les applications principales consistent à instrumenter les expériences de physique des particules à grande surface dans les gaz nobles liquéfiés. Avec une bonne connaissance de ces dernières, des critères fondamentaux ressortent, par exemple une consommation de puissance minimale. Chaque *SPAD* requiert une électronique de contrôle. Un collègue a effectué la conception de cette portion. Par la suite, le premier objectif de ce projet demandait la réalisation de la logique d'interface d'une matrice de circuits d'étouffement. Des registres autorisent la configuration des paramètres d'opération comme le temps d'attente qui aide à réduire le bruit post-impulsionnel à basse température. Ce phénomène demeure un défi important dans les expériences cryogéniques et un *SiPM* analogique n'a pas de moyen de mitiger ce problème. Pour améliorer les performances globales de la puce, un contrôle de chaque *SPAD* permet de les désactiver individuellement si un seul présente un niveau de bruit élevé qui affecte les performances du dispositif. Le deuxième objectif consiste à effectuer l'addition des photons détectés. Une somme purement numérique diminue la consommation de puissance en l'absence d'événements. Cette dernière peut opérer jusqu'à 100 MHz pour la discrimination par forme d'impulsion dans l'argon liquide. Afin de valider son bon fonctionnement, une somme analogique en courant combine la sortie des circuits d'étouffement différemment. L'amplitude des pulses correspond au nombre de photons captés. Les deux méthodes concordent. Le troisième objectif nécessite d'indiquer la présence d'événements. Un chronomètre pourra mesurer cette sortie implémentée avec une résolution temporelle de moins de 90 ps *RMS*. Avec plusieurs puces, un algorithme de coïncidence réduit le nombre de fois où le contrôleur doit lire la somme. Puis, les *SPAD* requièrent un assemblage 3D, ce qui demande un effort supplémentaire qui n'est pas prévu dans le cadre de ce mémoire. Le dernier objectif consiste à inclure des structures de test pour valider le fonctionnement sans le procédé de collage. Le design comporte donc une rangée de 61 *SPAD* intégrés directement dans l'électronique. Avec une polarisation adéquate, ces photodiodes fournissent un signal d'entrée représentatif d'une matrice complète. Un arbre de déclenchement se rend également à chaque pixel pour forcer un événement

avec le nombre de comptes voulu. Ces deux méthodes ont permis d'obtenir plusieurs résultats. Aussi, chacune des fonctionnalités résiste à un environnement cryogénique. Ce circuit intégré mesure $5,3 \times 5,85 \text{ mm}^2$ et possède un facteur de remplissage de plus de 80 %. La réalisation du dessin des masques de la puce provient d'un flot de conception numérique. Une architecture codée en *VHDL* devient une électronique complexe à l'aide d'outils numériques après un intense processus de simulations et de validations. Le produit final concorde avec le modèle original. La consommation de puissance, estimée en fonction des mesures, reste en dessous de 140 μW pour l'expérience *nEXO* comparativement au requis de 250 μW . Après ce document, le lecteur connaît maintenant les étapes de réalisation et les résultats du circuit intégré ainsi conçu.

6.2 Contributions

Ces travaux préparent le terrain pour la production de la première puce du GRAMS à assembler en trois dimensions avec des *SPAD* en utilisant un procédé sur mesure de collage 3D pour une intégration gaufre à gaufre. Au niveau de l'électronique, une autre innovation provient de l'ajout d'une somme analogique pour valider le traitement numérique d'une matrice de *SPAD*. Cette sortie prouve la justesse du nombre de photons de la somme numérique en temps réel. De plus, la résolution temporelle de la sortie d'interruption de moins de 90 ps *RMS* ouvre de nouvelles avenues de recherche.

La communauté de *nEXO* a bien reçu la présentation du circuit intégré et ses fonctionnalités. Il offrira une meilleure résolution temporelle pour une consommation de puissance moindre que la solution analogique actuellement envisagée. Le bruit post-impulsionnel peut également être réduit grâce à l'ajustement du temps d'attente avant la recharge. Ce phénomène demeure un défi important dans les expériences cryogéniques et un *SiPM* analogique n'a pas de moyen de mitiger ce problème.

Un mode d'acquisition sur mesure pour le calcul de discrimination par forme d'impulsion fait également partie de la puce. Il s'avérera très prometteur pour l'étude de la scintillation dans l'argon liquide.

Différentes présentations et conférences ont introduit le circuit intégré à la communauté. La flexibilité de l'architecture ouvre des portes à plusieurs autres applications de comptage des photons qui utilisent actuellement des *SiPM* analogiques. Son fort potentiel ressort donc de plus en plus et de nouvelles applications voient le jour.

6.3 Travaux futurs

Les prochaines phases du projet consisteraient à utiliser le convertisseur photon-numérique en matrice. Une vraie mesure de discrimination par forme d'impulsion dans l'argon liquide se met en place tranquillement. Plusieurs algorithmes pourraient implémenter la caractérisation des *SPAD* et la calibration du système. La détection efficace des *SPAD* bruyants en est un exemple. Aussi, une étude complète des bénéfices d'une solution numérique pour l'expérience *nEXO* amènerait des conclusions intéressantes sur la résolution en énergie. Le gain en résolution temporelle, la mitigation du bruit post-impulsionnel, la faible consommation de puissance donnent des avantages considérables. La puce actuelle dispose donc d'un fort potentiel scientifique.

Par la suite, une deuxième révision permettra de résoudre les bogues mineurs. La nouvelle version corrigera le court-circuit sur une mauvaise séquence d'alimentation. Elle va également régler la diaphonie électrique de la somme analogique par une diminution du couplage avec le nœud de blindage. En vue de réduire la consommation de puissance dynamique, une activation sélective d'horloge l'enverra uniquement aux portions de circuits requis au bon moment. Une autre amélioration consisterait à équilibrer l'arbre de déclenchement. Avec une structure en H comme celle de la sortie d'interruption, la dispersion des délais diminuerait et la mesure sur la résolution temporelle deviendrait plus facile. L'expérience acquise avec la conception de la carte d'interface a démontré un certain niveau de complexité durant l'assemblage en tuile du photodétecteur numérique. La quantité de signaux par puce à acheminer amène un défi lorsque de grandes tuiles sont requises.

Avec la technologie d'interposeur en silicium qui se place peu à peu, la conception des trois éléments, soit le *dSiPM*, la tuile et le contrôleur, va demander une étroite collaboration. Le contrôleur, qui consiste en un *FPGA* pour l'instant, devra migrer vers un circuit intégré à application spécifique assez rapidement afin de proposer une tuile complète pour *nEXO*. Les algorithmes qui relient les puces numériques devront donc converger vers une implémentation finale.

ANNEXE A

ENTRÉES ET SORTIES DE LA PUCE

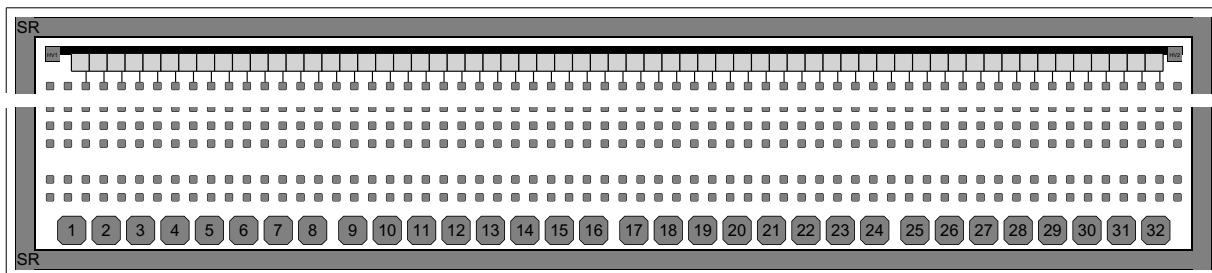


Figure A.1 Position des entrées et sorties de la puce.

Tableau A.1 Description des entrées et sorties de la puce.

PORT NOM	NO.	TYPE ¹	(V)	DESCRIPTION
VSS	1	P		Retour de courant commun.
CONFIG_MODE	2	E	1,8	Place la puce en mode de configuration.
VDD_CORE	3	P	1,8	Alimentation du cœur numérique.
TRANSMIT_EN	4	E	1,8	Active la transmission entre la puce et le contrôleur.
VSS	5	P		Retour de courant commun.
SER_IN	6	E	1,8	Reçoit la configuration en série du contrôleur.
VDD_QC	7	P	5,0	Alimentation de l'électronique frontale du circuit d'étouffement.
DATA_ACQ_EN	8	E	1,8	Active l'acquisition des données.
VSS	9	P		Retour de courant commun.
CLK	10	E	1,8	Reçoit l'horloge système de la puce.
VDD_IO	11	P	1,8	Alimentation des tampons de sortie.
SER_OUT	12	S	1,8	Transmet les données en série vers le contrôleur.
VSS	13	E		Retour de courant commun.
VSS	14	P		Retour de courant commun.
VDD_AM	15	P	5,0	Alimentation de la somme analogique. Cette alimentation peut être désactivée pour réduire la consommation.
AM	16	SA		Sort un courant proportionnel au nombre de photons. Toujours utiliser les deux sorties conjointement.

PORT NOM	NO.	TYPE ¹	(V)	DESCRIPTION
AM	17	SA		Sort un courant proportionnel au nombre de photons. Toujours utiliser les deux sorties conjointement.
VDD_AM	18	P	5,0	Alimentation de la somme analogique. Cette alimentation peut être désactivée pour réduire la consommation.
VSS	19	P		Retour de courant commun.
VSS	20	P		Retour de courant commun.
FLAG	21	S	1,8	Indique la présence d'un photon. Sortie d'interruption et signal de validation de la réception d'une configuration.
VDD_IO	22	P	1,8	Alimentation des tampons de sortie.
DBG_OUT	23	S	1,8	Sort le signal de déverminage choisi par son registre de configuration.
VSS	24	P		Retour de courant commun.
RST	25	E	1,8	Réinitialise les circuits de synchronisation et la <i>FIFO</i> lorsqu'utilisée seule. Réinitialise également les registres de configuration à leur valeur par défaut, lorsqu'utilisée conjointement avec CONFIG_MODE.
VDD_QC	26	P	5,0	Alimentation de l'électronique frontale du circuit d'étouffement.
EXT_TRG	27	E	1,8	Active les pixels de la matrice à travers l'arbre de déclenchement. Cette fonctionnalité est désactivée par défaut dans les registres de configuration.
VSS	28	P		Retour de courant commun.
VBIAS_AM	29	EA	5,0	Polarise l'amplitude de la sortie en courant (AM).
VDD_CORE	30	P	1,8	Alimentation du cœur numérique.
VSS	31	P		Retour de courant commun.
VSS	32	P		Retour de courant commun.
HV1	HV1	P		Polarise les <i>SPAD</i> internes.
HV2	HV2	P		Polarise les <i>SPAD</i> internes.
SEAL RING	SR	P		Entoure la puce pour effectuer le collage mécanique en 3D. Retour de courant commun.
VSS (Substrat)	SUB	P		Polarise le substrat. Retour de courant commun.

¹ E = Entrée, S = Sortie, EA = Entrée analogique, SA = Sortie analogique, P = Puissance

ANNEXE B

FLOT NUMÉRIQUE DE CONCEPTION

Le flot numérique de conception se compare à une recette de cuisine. Plusieurs étapes se succèdent pour obtenir le résultat final. Différents outils ou logiciels entrent en jeu. Cette annexe se veut une brève introduction. La Figure B.1 illustre les différentes étapes qui trouveront leurs explications dans les prochaines sections.

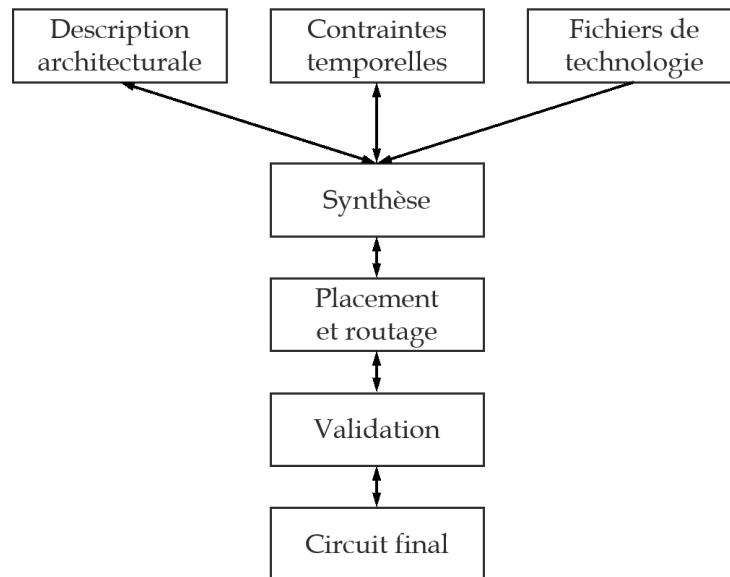


Figure B.1 Schéma haut niveau du flot numérique.

B.1 Fichiers de technologie

Divers nœuds de *CMOS* existent et chacun possède des règles différentes. Pour débiter un flot numérique, l'environnement doit d'abord subir un travail de préparation. Certains fichiers contiennent les définitions des cellules disponibles dans la bibliothèque de la technologie. Leur comportement, le dessin de leurs masques, leurs contraintes temporelles s'y retrouvent. Ces portes logiques permettront d'implémenter les fonctionnalités voulues. D'autres fichiers décrivent les largeurs de traces minimales pour l'intégration, les espacements, la quantité de niveaux de métal, la densité à respecter et ainsi de suite. Toutes ces règles indiquent aux outils et logiciels comment brancher électriquement les composants. La configuration initiale des fichiers de technologie dicte donc où trouver l'information requise pour les étapes suivantes. Ces fichiers portent souvent des extensions comme *.lef*, *.lib*, *.v*, etc.

B.2 Description architecturale

La description architecturale ou mieux connue sous le nom anglais *Register Transfer Level* (*RTL*) reproduit les fonctionnalités de la puce à fabriquer. Le comportement du circuit s’y retrouve décrit grâce à des langages de description matérielle (*Hardware Description Language* ou *HDL*) comme le *VHDL* et le *Verilog*. Contrairement aux langages séquentiels comme le C++ ou Python, le *HDL* offre les opérations simultanées. Pour les projets d’envergure, le développeur gagne à écrire du code modulaire et hiérarchique. De la sorte, chaque fonctionnalité possède sa propre partie de code claire et concise.

B.3 Simulations numériques

Bien que cette étape ne soit pas explicitement incluse dans le schéma de la Figure B.1, elle demeure une partie cruciale. Chaque flèche bidirectionnelle du schéma implique une simulation. D’abord, chaque module doit posséder un banc de test unitaire pour vérifier son bon fonctionnement avant de l’intégrer au reste du système. Des simulations numériques sous *Modelsim* de *Mentor Graphics* affichent les signaux de sortie du dispositif sous test en fonction des entrées fournies par le banc d’essai. Des tests à plus haut niveau doivent également valider l’intégration et la puce dans son ensemble. Des modèles remplaceront certaines portions du circuit. Ces vérifications seront exécutées plusieurs fois à chaque étape du flot numérique. Des outils d’automatisation comme *Jenkins* [133] aident à structurer les séquences de tests et en facilitent l’exécution à chaque étape. Des bancs de test élaborés sortent le statut de chaque simulation, soit réussite ou échec.

B.4 Contraintes temporelles

Lors des premières étapes, les simulations *HDL* procurent de l’information à savoir si l’architecture décrite présente le comportement voulu. Cela ne garantit pas le fonctionnement du circuit réel. Dans le monde numérique de la description matérielle, les contraintes de temps s’avèrent un enjeu important. Chaque porte logique contient des délais intrinsèques et ses signaux doivent changer d’état au bon moment. Un fichier de contraintes temporelles (*.sdc* pour *Synopsys Design Constraints*) doit donc accompagner le projet. Par exemple, la fréquence de l’horloge, les délais entre celle-ci et les différentes entrées forment ce fichier.

B.5 Synthèse

Alors que le *RTL* définit le comportement du circuit, la conversion doit avoir lieu pour obtenir de l’électronique. La synthèse interprète le code et se sert des portes logiques de la bibliothèque configurée pour implémenter une vue schématique du système. La compagnie *Cadence* offre le logiciel *Genus* pour réaliser cette tâche. Bien que l’application dispose d’une interface graphique, l’approche par scripts en ligne de commande s’avère plus efficace. Le langage de commande outil *Tool Command Language* ou *TCL* permet de lister une à

une les étapes de la Figure B.2a. Le résultat se trouve sous forme d'un code Verilog. Des délais et des contraintes temporelles sont extraits dans un fichier *SDF* pour *Standard Delay Format*, un standard *IEEE*. Les simulations numériques pourront dorénavant inclure des vérifications temporelles. Si la simulation échoue, le *RTL* ou les contraintes temporelles de départ doivent être changés et la synthèse réitérée. Une fois le fruit de cette dernière satisfaisant, le placement et le routage peuvent s'effectuer.

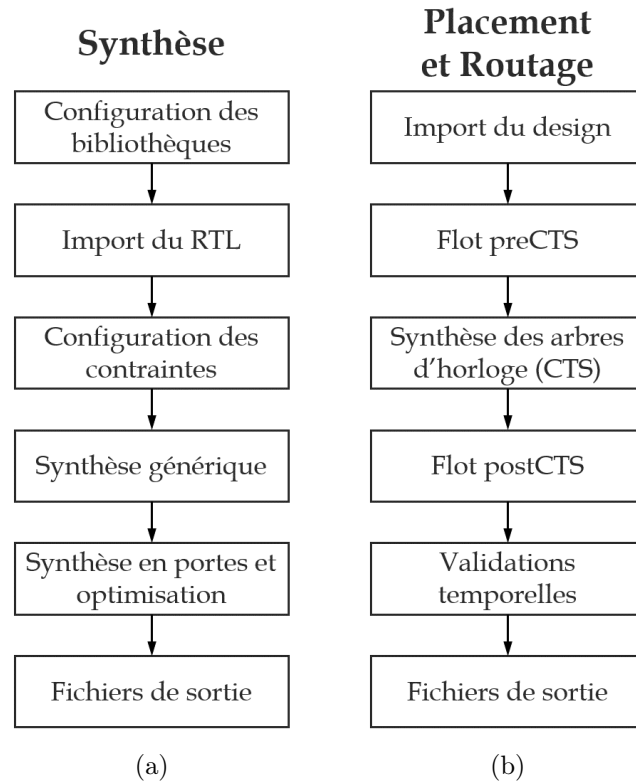


Figure B.2 Flot numérique spécifique à la synthèse (a) et au placement et routage (b).

B.6 Placement et routage

Cette étape utilise le logiciel *Innovus* de *Cadence*. La phase précédente fournit la vue schématisée. Les dessins des masques seront maintenant produits. En suivant la Figure B.2b, le flot commence par l'import du design. Puis, certaines tâches s'effectuent avant la synthèse des arbres d'horloge (*Clock Tree Synthesis* ou *CTS*). En effet, la planification des masques de la puce communément appelée en anglais *floorplan* requiert beaucoup d'attention. Cette tâche implique de déterminer la taille, positionner les entrées/sorties et les cellules analogiques. Puis, la distribution des alimentations peut avoir lieu pour enfin placer les cellules numériques. Un certain niveau d'optimisation peut déjà être accompli. Puis, *Innovus* s'occupe de la synthèse des arbres d'horloge en utilisant les contraintes spécifiées. Par la suite, le reste des interconnexions sont complétées. Le résultat doit finalement res-

pecter les règles de dessin avant de continuer le flot. *Innovus* vérifie certaines erreurs, mais la validation s'effectue avec d'autres outils.

B.7 Validation

Afin de s'assurer que tout fonctionne, le circuit intégré doit retourner dans *Virtuoso* de *Cadence*. Cet outil sert également à la conception des parties analogiques de la puce. Après quelques étapes de conversion, *Calibre* de *Mentor Graphics* permet de valider l'entière des règles de dessin correctement. Puis, *Calibre* compare les schémas et les dessins des masques. Enfin, les simulations numériques sont lancées une fois de plus. Au terme de toutes les validations, un circuit jugé complet pourra continuer vers la fabrication.

Au terme de cette annexe, le lecteur dispose d'une vue d'ensemble du flot numérique. Cependant, comme ce dernier sert à la conception de circuits intégrés à application spécifique, chaque puce possède ses particularités et s'implémente différemment. Une bonne connaissance du flot aide le concepteur à réaliser de meilleurs systèmes.

LISTE DES RÉFÉRENCES

- [1] Woithe, J., Wiener, J. et Van der Veken, F. (2017). Let’s have a coffee with the Standard Model of particle physics! *Physics Education*, volume 52, numéro 3, p. 34001–34010.
- [2] Lattanzi, M., Lineros, R. et Taoso, M. (2014). Connecting neutrino physics with dark matter. *New Journal of Physics*, volume 16, numéro 12, p. 125012.
- [3] Chepel, V. et Araújo, H. (2013). Liquid noble gas detectors for low energy particle physics. *Journal of Instrumentation*, volume 8, numéro 4, p. R04001–R04001.
- [4] Durrani, M. (2019). *This is how CERN’s Large Hadron Collider looks during the 2019 shutdown*. <https://physicsworld.com/a/this-is-how-cerns-large-hadron-collider-looks-during-the-2019-shutdown/> (page consultée le 18 août 2019).
- [5] GRAMS (2020). *Groupe de recherche en appareillage médical de Sherbrooke*. <https://www.usherbrooke.ca/grams/fr/> (page consultée le 19 mars 2020).
- [6] nEXO Collaboration, Kharusi, S. A., Alamre, A., Albert, J. B., Alfari, M., Anton, G., Arnquist, I. J., Badhrees, I., Barbeau, P. S., Beck, D., Belov, V., Bhatta, T., Bourque, F., Brodsky, J. P., Brown, E., Brunner, T., Burenkov, A., Cao, G. F., Cao, L., Cen, W. R., Chambers, C., Charlebois, S. A., Chiu, M., Cleveland, B., Conley, R., Coon, M., Côté, M., Craycraft, A., Cree, W., Dalmasson, J., Daniels, T., Danovitch, D., Darroch, L., Daugherty, S. J., Daughhetee, J., DeVoe, R., Delaquis, S., Mesrobian-Kabakian, A. D., Vacri, M. L. D., Dilling, J., Ding, Y. Y., Dolinski, M. J., Dragone, A., Echevers, J., Fabris, L., Fairbank, D., Fairbank, W., Farine, J., Ferrara, S., Feyzbakhsh, S., Fierlinger, P., Fontaine, R., Fudenberg, D., Gallina, G., Giacomini, G., Gornea, R., Gratta, G., Haller, G., Hansen, E. V., Harris, D., Hasi, J., Heffner, M., Hoppe, E. W., Hößl, J., House, A., Hufschmidt, P., Hughes, M., Ito, Y., Iverson, A., Jamil, A., Jessiman, C., Jewell, M. J., Jiang, X. S., Karelin, A., Kaufman, L. J., Kenney, C., Killick, R., Kodroff, D., Koffas, T., Kravitz, S., Krücken, R., Kuchenkov, A., Kumar, K. S., Lan, Y., Larson, A., Lenardo, B. G., Leonard, D. S., Lewis, C. M., Li, G., Li, S., Li, Z., Licciardi, C., Lin, Y. H., Lv, P., MacLellan, R., McFarlane, K., Michel, T., Mong, B., Moore, D. C., Murray, K., Newby, R. J., Nguyen, T., Ning, Z., Njaya, O., Nolet, F., Nusair, O., Odgers, K., Odian, A., Oriunno, M., Orrell, J. L., Ortega, G. S., Ostrovskiy, I., Overman, C. T., Parent, S., Patel, M., Peña-Perez, A., Piepke, A., Pocar, A., Pratte, J. F., Qiu, D., Radeka, V., Raguzin, E., Rao, T., Rescia, S., Retière, F., Robinson, A., Rossignol, T., Rowson, P. C., Roy, N., Runge, J., Saldanha, R., Sangiorgio, S., Schmidt, S., Schneider, J., Schubert, A., Segal, J., VIII, K. S., Soma, A. K., Spitaels, K., St-Hilaire, G., Stekhanov, V., Stiegler, T., Sun, X. L., Tarka, M., Todd, J., Tolba, T., Totev, T. I., Tsang, R., Tsang, T., Vachon, F., Veenstra, B., Veeraraghavan, V., Visser, G., Vogel, P., Vuilleumier, J. L., Wagenpfeil, M., Wang, Q., Ward, M.,

- Watkins, J., Weber, M., Wei, W., Wen, L. J., Wichoski, U., Wrede, G., Wu, S. X., Wu, W. H., Xia, Q., Yang, L., Yen, Y. R., Zeldovich, O., Zhang, X., Zhao, J., Zhou, Y. et Ziegler, T. (2018). nEXO Pre-Conceptual Design Report. arXiv, p. 174.
- [7] E. Aalseth, C., Acerbi, F., Agnes, P., Albuquerque, I., Alexander, T., Alici, A., K. Alton, A., Antonioli, P., Arcelli, S., Ardito, R., J. Arnquist, I., M. Asner, D., Ave, M., O. Back, H., I. Barrado Olmedo, A., Batignani, G., Bertoldo, E., Bettarini, S., Giuseppina, M. et Zullo, A. (2017). DarkSide-20k : A 20 tonne two-phase LAr TPC for direct dark matter detection at LNGS. *The European Physical Journal Plus*, volume 133, p. 131.
- [8] Bonesini, M., Cervi, T., Menegolli, A., Prata, M., Raselli, G., Rossella, M., Spanu, M. et Torti, M. (2017). Detection of Vacuum Ultraviolet light by means of SiPM for High Energy Physics experiments. *Nuclear Instruments and Methods in Physics Research Section A : Accelerators, Spectrometers, Detectors and Associated Equipment*, volume 912, p. 235–237.
- [9] Nolet, F., Rhéaume, V., Parent, S., Charlebois, S. A., Fontaine, R. et Pratte, J. (2016). A 2D Proof of Principle Towards a 3D Digital SiPM in HV CMOS With Low Output Capacitance. *IEEE Transactions on Nuclear Science*, volume 63, numéro 4, p. 2293–2299.
- [10] Romanino, A. (2009). The Standard model of particle physics. Dans *Physics of elementary particles and astrophysics. Proceedings, International Baikal Summer School, Bolshie Koty, Russia, July 23-30, 2009*. inSPIRE, p. 26.
- [11] Johansson, K. E. (2012). Exploring quarks, gluons and the Higgs boson. *Physics Education*, volume 48, numéro 1, p. 96–104.
- [12] Johansson, K. E. et Watkins, P. M. (2012). Exploring the standard model of particles. *Physics Education*, volume 48, numéro 1, p. 105–114.
- [13] MissMJ (2006). *Standard Model of Elementary Particles*. https://commons.wikimedia.org/wiki/File:Standard_Model_of_Elementary_Particles.svg (page consultée le 30 novembre 2018).
- [14] McDonald, A. B. (2016). The sudbury neutrino observatory : Observation of flavor change for solar neutrinos. *Annalen der Physik*, volume 528, numéro 6, p. 469–480.
- [15] Herrin, S. (2013). *Double Beta Decay in Xenon-136 : Measuring the Neutrino-Emitting Mode and Searching for Majoron-Emitting Modes*. Thèse de doctorat, Standford University, Standford, Californie, États-Unis, 149 p.
- [16] Gornea, R. et the Exo collaboration (2009). Double beta decay in liquid xenon. *Journal of Physics : Conference Series*, volume 179, p. 012004.
- [17] Gratta, G. et Kurahashi, N. (2010). In search of no neutrinos. *Physic World*, volume 23, numéro 4, p. 27.

- [18] Albert, J. B., Anton, G., Arnquist, I. J., Badhrees, I., Barbeau, P., Beck, D., Belov, V., Bourque, F., Brodsky, J. P., Brown, E., Brunner, T., Burenkov, A., Cao, G. F., Cao, L., Cen, W. R., Chambers, C., Charlebois, S. A., Chiu, M., Cleveland, B., Coon, M., Craycraft, A., Cree, W., Côté, M., Dalmasson, J., Daniels, T., Daugherty, S. J., Daughettee, J., Delaquis, S., Der Mesrobian-Kabakian, A., DeVoe, R., Didberidze, T., Dilling, J., Ding, Y. Y., Dolinski, M. J., Dragone, A., Fabris, L., Fairbank, W., Farine, J., Feyzbakhsh, S., Fontaine, R., Fudenberg, D., Giacomini, G., Gornea, R., Graham, K., Gratta, G., Hansen, E. V., Harris, D., Hasan, M., Heffner, M., Hoppe, E. W., House, A., Hufschmidt, P., Hughes, M., Hößl, J., Ito, Y., Iverson, A., Jamil, A., Jewell, M., Jiang, X. S., Johnson, T. N., Johnston, S., Karelin, A., Kaufman, L. J., Killick, R., Koffas, T., Kravitz, S., Krücken, R., Kuchenkov, A., Kumar, K. S., Lan, Y., Leonard, D. S., Li, G., Li, S., Li, Z., Licciardi, C., Lin, Y. H., MacLellan, R., Michel, T., Mong, B., Moore, D., Murray, K., Newby, R. J., Ning, Z., Njoya, O., Nolet, F., Odgers, K., Odian, A., Oriunno, M., Orrell, J. L., Ostrovskiy, I., Overman, C. T., Ortega, G. S., Parent, S., Piepke, A., Pocar, A., Pratte, J.-F., Qiu, D., Radeka, V., Raguzin, E., Rao, T., Rescia, S., Retiere, F., Robinson, A., Rossignol, T., Rowson, P. C., Roy, N., Saldanha, R., Sangiorgio, S., Schmidt, S., Schneider, J., Schubert, A., Sinclair, D., Skarpaas, K., Soma, A. K., St-Hilaire, G., Stekhanov, V., Stiegler, T., Sun, X. L., Tarka, M., Todd, J., Tolba, T., Tsang, R., Tsang, T., Vachon, F., Veeraraghavan, V., Visser, G., Vogel, P., Vuilleumier, J.-L., Wagenpfeil, M., Wang, Q., Weber, M., Wei, W., Wen, L. J., Wichoski, U., Wrede, G., Wu, S. X., Wu, W. H., Yang, L., Yen, Y.-R., Zeldovich, O., Zettlemoyer, J., Zhang, X., Zhao, J., Zhou, Y. et Ziegler, T. (2018). Sensitivity and discovery potential of the proposed nEXO experiment to neutrinoless double- β decay. *Physical Review C*, volume 97, numéro 6, p. 065503–1–065503–22.
- [19] Pollmann, T. (2012). *Alpha Backgrounds in the DEAP Dark Matter Search Experiment*. Thèse de doctorat, Queen’s University, Kingston, Ontario, Canada, 166 p.
- [20] Giagu, S. (2019). WIMP Dark Matter Searches With the ATLAS Detector at the LHC. *Frontiers in Physics*, volume 7, p. 75.
- [21] Peskin, M. E. (2007). Dark matter and particle physics. *Journal of the Physical Society of Japan*, volume 76, numéro 11, p. 111017.
- [22] Schumann, M. (2019). Direct detection of WIMP dark matter : concepts and status. *Journal of Physics G : Nuclear and Particle Physics*, volume 46, numéro 10, p. 103003.
- [23] IceCube Collaboration (2017). First search for dark matter annihilations in the Earth with the IceCube Detector. *The European Physical Journal C*, volume 77, numéro 2, p. 82.
- [24] IceCube Collaboration, Aartsen, M., Ackermann, M., Adams, J., Aguilar Sánchez, J. A., Ahlers, M., Ahrens, M., Altmann, D., Andeen, K., Anderson, T., Anseau, I., Anton, G., Archinger, M., Argüelles, C., Auer, R., Auffenberg, J., Axani, S., Baccus, J., Bai, X. et Zoll, M. (2017). The IceCube Neutrino Observatory : Instrumentation
-

- and Online Systems. *Journal of Instrumentation*, volume 12, numéro 3, p. P03012–P03012.
- [25] Agnes, P., Alexander, T., Alton, A., Arisaka, K., Back, H., Baldin, B., Biery, K., Bonfini, G., Bossa, M., Brigatti, A., Brodsky, J., Budano, F., Cadonati, L., Calaprice, F., Canci, N., Candela, A., Cao, H., Cariello, M., Cavalcante, P., Chavarria, A., Chepurnov, A., Cocco, A., Crippa, L., D’Angelo, D., D’Incecco, M., Davini, S., Deo, M. D., Derbin, A., Devoto, A., Eusanio, F. D., Pietro, G. D., Edkins, E., Empl, A., Fan, A., Fiorillo, G., Fomenko, K., Forster, G., Franco, D., Gabriele, F., Galbiati, C., Goretti, A., Grandi, L., Gromov, M., Guan, M., Guardincerri, Y., Hackett, B., Herner, K., Hungerford, E., Ianni, A., Ianni, A., Jollet, C., Keeter, K., Kendziora, C., Kidner, S., Kobychiev, V., Koh, G., Korablev, D., Korga, G., Kurlej, A., Li, P., Loer, B., Lombardi, P., Love, C., Ludhova, L., Luitz, S., Ma, Y., Machulin, I., Mandarano, A., Mari, S., Maricic, J., Marini, L., Martoff, C., Meregaglia, A., Meroni, E., Meyers, P., Milincic, R., Montanari, D., Monte, A., Montuschi, M., Monzani, M., Mosteiro, P., Mount, B., Muratova, V., Musico, P., Nelson, A., Odrowski, S., Okounkova, M., Orsini, M., Ortica, F., Pagani, L., Pallavicini, M., Pantic, E., Papp, L., Parmeggiano, S., Parsells, R., Pelczar, K., Pelliccia, N., Perasso, S., Pocar, A., Pordes, S., Pugachev, D., Qian, H., Randle, K., Ranucci, G., Razeto, A., Reinhold, B., Renshaw, A., Romani, A., Rossi, B., Rossi, N., Rountree, S., Sablone, D., Saggese, P., Saldanha, R., Sands, W., Sangiorgio, S., Segreto, E., Semenov, D., Shields, E., Skorokhvatov, M., Smirnov, O., Sotnikov, A., Stanford, C., Suvorov, Y., Tartaglia, R., Tatarowicz, J., Testera, G., Tonazzo, A., Unzhakov, E., Vogelaar, R., Wada, M., Walker, S., Wang, H., Wang, Y., Watson, A., Westerdale, S., Wojcik, M., Wright, A., Xiang, X., Xu, J., Yang, C., Yoo, J., Zavatarelli, S., Zec, A., Zhu, C. et Zuzel, G. (2015). First results from the DarkSide-50 dark matter experiment at Laboratori Nazionali del Gran Sasso. *Physics Letters B*, volume 743, p. 456–466.
- [26] Lehnert, B. (2020). Backgrounds in the DEAP-3600 Dark Matter Experiment. *Journal of Physics : Conference Series*, volume 1342, p. 012072.
- [27] Lidgard, J. J. (2008). *Pulse Shape Discrimination Studies in Liquid Argon for the DEAP-1 Detector*. Mémoire de maitrise, Queen’s University, Kingston, Ontario, Canada, 110 p.
- [28] Kuźniak, M. (2018). Status of the DEAP-3600 dark matter search. Dans *Identification of Dark Matter 2018, 12th International Conference, Brown University*. p. 56.
- [29] The DEAP Dark Matter Experiment (2018). *DarkSide 20k Detector - Dark Matter Experiment using Argon Pulseshape discrimination*. <http://deap3600.ca/darkside-20k/> (page consultée le 21 janvier 2020).
- [30] Ghassemi, A., Sato, K. et Kobayashi, K. (2017). *MPPC* (Rapport technique KAPD9005E01). Hamamatsu Photonics K.K., Solid State Division, 65 p.
- [31] Therrien, A. C. (2018). *Conception et modélisation de détecteurs de radiation basés sur des matrices de photodiodes à avalanche monophotoniques pour la tomographie*

- d'émission par positrons*. Thèse de doctorat, Université de Sherbrooke, Sherbrooke, Québec, Canada, 146 p.
- [32] Renker, D. (2006). Geiger-mode avalanche photodiodes, history, properties and problems. *Nuclear Instruments and Methods in Physics Research Section A : Accelerators, Spectrometers, Detectors and Associated Equipment*, volume 567, numéro 1, p. 48 – 56.
- [33] Zappalà, G., Acerbi, F., Ferri, A., Gola, A., Paternoster, G., Zorzi, N. et Piemonte, C. (2016). Set-up and methods for SiPM photo-detection efficiency measurements. *Journal of Instrumentation*, volume 11, numéro 08, p. P08014–P08014.
- [34] Parent, S. (2016). *Conception, caractérisation et optimisation de SPAD en technologie Dalsa HV CMOS 0.8 μm pour intégration dans un 3D-SiPM*. Mémoire de maîtrise, Université de Sherbrooke, Sherbrooke, Québec, Canada, 150 p.
- [35] Radeka, V. (2003). Low-Noise Techniques In Detectors. *Annual Review of Nuclear and Particle Science*, volume 38, p. 217–277.
- [36] Ostrovskiy, I., Retiere, F., Auty, D., Dalmasson, J., Didberidze, T., DeVoe, R., Gratta, G., Huth, L., James, L., Lupin-Jimenez, L., Ohmart, N. et Piepke, A. (2015). Characterization of Silicon Photomultipliers for nEXO. *IEEE Transactions on Nuclear Science*, volume 62, numéro 4, p. 1825–1836.
- [37] Nolet, F., Parent, S., Roy, N., Mercier, M.-O., Charlebois, S., Fontaine, R. et Pratte, J.-F. (2018). Quenching Circuit and SPAD Integrated in CMOS 65 nm with 7.8 ps FWHM Single Photon Timing Resolution. *Instruments*, volume 2, p. 19.
- [38] Ketek (2020). *Microcell Construction - KETEK Microcell Technology*. <https://www.ketek.net/sipm/technology/microcell-construction/> (page consultée le 17 mars 2020).
- [39] Marnieros, S. (2014). *Détecteurs cryogéniques et leurs applications en Astrophysique et Astroparticules*. Thèse de doctorat, Université de Paris Sud, Paris Sud, France, 105 p.
- [40] Hamamatsu Photonics K.K (2018). *Multi-Pixel Photon Counter arrays - S13361-3050 series*. https://www.hamamatsu.com/resources/pdf/ssd/s13361-3050_series_kapd1054e.pdf (page consultée le 2 février 2019).
- [41] ON Semiconductor (2018). *C-Series SiPM Sensors*. <https://www.onsemi.com/pub/Collateral/MICROC-SERIES-D.PDF> (page consultée le 2 février 2019).
- [42] AdvanSiD (2015). *NUV SiPMs Chip Scale Package*. http://advansid.com/attachment/get/up_53_1432731710.pdf (page consultée le 2 février 2019).
- [43] Jamil, A., Ziegler, T., Hufschmidt, P., Li, G., Lupin-Jimenez, L., Michel, T., Ostrovskiy, I., Retiere, F., Schneider, J., Wagenpfeil, M., Alamre, A., B. Albert, J., Anton, G., J. Arnquist, I., Badhrees, I., S. Barbeau, P., Beck, D., Belov, V. et Bhatta, T.
-

- (2018). VUV-Sensitive Silicon Photomultipliers for Xenon Scintillation Light Detection in nEXO. *IEEE Transactions on Nuclear Science*, volume 65, p. 2823–2833.
- [44] Tsang, T. (2018). Characterization of VUV sensitive SiPMs in LXe. Dans *2018 IEEE Nuclear Science Symposium and Medical Imaging Conference Proceedings (NSS/MIC)*. IEEE, p. 1–2.
- [45] Canci, N., Cattadori, C., D’Incecco, M., Lehnert, B., Machado, A. A., Riboldi, S., D.Sablone, Segreto, E. et Vignoli, C. (2013). Liquid argon scintillation read-out with silicon devices. *Journal of Instrumentation*, volume 8, numéro 10, p. C10007.
- [46] Canberra (2020). *Model 2005 Scintillation Preamplifier*. https://groups.nscl.msu.edu/nscl_library/manuals/canberra/2005.pdf (page consultée le 17 mars 2020).
- [47] Ortec (2020). *672 Spectroscopy Amplifier*. <https://www.ortec-online.com/products/electronics/amplifiers/672> (page consultée le 17 mars 2020).
- [48] LeCroy (2008). *LeCroy WavePro 7 Zi Series*. <http://www.testequipmenthq.com/datasheets/LECROY-WAVEPRO%20735ZI-Datasheet.pdf> (page consultée le 17 mars 2020).
- [49] Agnes, P., Albuquerque, I., Alexander, T., Alton, A., Arisaka, K., Asner, D., Ave, M., Back, H., Baldin, B., Biery, K., Bocci, V., Bonfini, G., Bonivento, W., Bossa, M., Bottino, B., Brigatti, A., Brodsky, J., Budano, F., Bussino, S., Cadeddu, M., Cadoni, M., Calaprice, F., Canci, N., Candela, A., Cao, H., Caravati, M., Cariello, M., Carlini, M., Catalanotti, S., Cataudella, V., Cavalcante, P., Chepurnov, A., Ciccaló, C., Cocco, A. G., Covone, G., Crippa, L., D’Angelo, D., D’Incecco, M., Davini, S., de Candia, A., Cecco, S. D., Deo, M. D., Filippis, G. D., Rosa, G. D., Vincenzi, M. D., Derbin, A., Devoto, A., Eusanio, F. D., Dionisi, C., Pietro, G. D., Edkins, E., Empl, A., Fan, A., Fiorillo, G., Fomenko, K., Forster, G., Franco, D., Gabriele, F., Galbiati, C., Giagu, S., Giganti, C., Giovanetti, G., Goretti, A., Granato, F., Grandi, L., Gromov, M., Guan, M., Guardincerri, Y., Hackett, B., Herner, K., Hughes, D., Humble, P., Hungerford, E., Ianni, A., Ianni, A., James, I., Johnson, T., Keeter, K., Kendziora, C., Kobychiev, V., Koh, G., Korablev, D., Korga, G., Kubankin, A., Li, X., Lissia, M., Loer, B., Lombardi, P., Longo, G., Luitz, S., Ma, Y., Machado, A., Machulin, I., Mandarano, A., Mari, S., Maricic, J., Marini, L., Martoff, C., Meyers, P., Miletic, T., Milincic, R., Montanari, D., Monte, A., Montuschi, M., Monzani, M., Mosteiro, P., Mount, B., Muratova, V., Musico, P., Agasson, A. N., Nelson, A., Odrowski, S., Oleinik, A., Orsini, M., Ortica, F., Pagani, L., Pallavicini, M., Pantic, E., Parmeggiano, S., Pelczar, K., Pelliccia, N., Pocar, A., Pordes, S., Pugachev, D., Qian, H., Randle, K., Ranucci, G., Razeti, M., Razeto, A., Reinhold, B., Renshaw, A., Rescigno, M., Riffard, Q., Romani, A., Rossi, B., Rossi, N., Rountree, S., Sablone, D., Saggese, P., Saldanha, R., Sands, W., Sangiorgio, S., Savarese, C., Schlitzer, B., Segreto, E., Semenov, D., Shields, E., Singh, P., Skorokhvatov, M., Smirnov, O., Sotnikov, A., Stanford, C., Suvorov, Y., Tartaglia, R., Tatarowicz, J., Testera, G., Tonazzo, A., Trinchese, P., Unzhakov, E., Verducci, M., Vishneva, A., Vogelaar, R.,

- Wada, M., Walker, S., Wang, H., Wang, Y., Watson, A., Westerdale, S., Wojcik, M., Xiang, X., Xiao, X., Xu, J., Yang, C., Yoo, J., Zavatarelli, S., Zec, A., Zhong, W., Zhu, C. et Zuzel, G. (2017). The electronics, trigger and data acquisition system for the liquid argon time projection chamber of the DarkSide-50 search for dark matter. *Journal of Instrumentation*, volume 12, numéro 12, p. P12011–P12011.
- [50] Giovanetti, G. (2017). SiPMs for DarkSide-20k. Dans *Topics in Astroparticle and Underground Physics (TAUP), 15th International Conference, Sudbury*. Indico, p. 1–20.
- [51] Fiorillo, G. (2018). DarkSide-20k and the future Liquid Argon Dark Matter program. Dans *UCLA Dark Matter 2018*. Indico, p. 23.
- [52] Savarese, C. (2017). The DarkSide-20k detector : a closer look to SiPMs. Dans *13th Rencontres du Vietnam - Exploring the Dark Universe*. p. 27.
- [53] Giampa, P. (2018). The DarkSide-20k Experiment and the future of Dark Matter Liquid Argon Program. Dans *ICHEP2018 Seoul - XXXIX International Conference on High Energy Physics*. Indico, p. 1–22.
- [54] Haemisch, Y., Frach, T., Degenhardt, C. et Thon, A. (2012). Fully Digital Arrays of Silicon Photomultipliers (dSiPM) – a Scalable Alternative to Vacuum Photomultiplier Tubes (PMT). *Physics Procedia*, volume 37, p. 1546 – 1560.
- [55] Cova, S., Ghioni, M., Lacaita, A., Samori, C. et Zappa, F. (1996). Avalanche photodiodes and quenching circuits for single-photon detection. *Appl. Opt.*, volume 35, numéro 12, p. 1956–1976.
- [56] Nolet, F. (2016). *Conception d’un circuit d’étouffement de photodiodes avalanches monophotonique pour une intégration matricielle dans un module de comptage monophotonique*. Mémoire de maîtrise, Université de Sherbrooke, Sherbrooke, Québec, Canada, 96 p.
- [57] Dolgoshein, B., Balagura, V., Buzhan, P., Danilov, M., Filatov, L., Garutti, E., Groll, M., Ilyin, A., Kantserov, V., Kaplin, V., Karakash, A., Kayumov, F., Klemin, S., Korbel, V., Meyer, H., Mizuk, R., Morgunov, V., Novikov, E., Pakhlov, P., Popova, E., Rusinov, V., Sefkow, F., Tarkovsky, E. et Tikhomirov, I. (2006). Status report on silicon photomultiplier development and its applications. *Nuclear Instruments and Methods in Physics Research Section A : Accelerators, Spectrometers, Detectors and Associated Equipment*, volume 563, numéro 2, p. 368 – 376.
- [58] Piatek, S. (2017). *How does temperature affect the performance of an SiPM?* <https://hub.hamamatsu.com/us/en/technical-note/sipm-temperature-performance/index.html> (page consultée le 4 juin 2020).
- [59] Antognetti, A., Cova, S. et Longoni, A. (1975). A study of the operation and performances of an avalanche diode as a single photon detector. Dans *Proceedings Second ISPRANuclear Electronics Symposium*. Commission of the European Communities, p. 453–456.
-

-
- [60] Dautet, H., Deschamps, P., Dion, B., MacGregor, A. D., MacSween, D., McIntyre, R. J., Trottier, C. et Webb, P. P. (1993). Photon counting techniques with silicon avalanche photodiodes. *Appl. Opt.*, volume 32, numéro 21, p. 3894–3900.
 - [61] Zappa, F., Ghioni, M., Cova, S., Samori, C. et Giudice, A. C. (2000). An integrated active-quenching circuit for single-photon avalanche diodes. *IEEE Transactions on Instrumentation and Measurement*, volume 49, numéro 6, p. 1167–1175.
 - [62] Rochas, A., Gani, M., Furrer, B., Besse, P., Popovic, R., Ribordy, G. et Gisin, N. (2003). Single photon detector fabricated in a complementary metal–oxide–semiconductor high-voltage technology. *Review of Scientific Instruments*, volume 74, p. 3263–3270.
 - [63] Rochas, A., Gosch, M., Serov, A., Besse, P. A., Popovic, R. S., Lasser, T. et Rigler, R. (2003). First fully integrated 2-D array of single-photon detectors in standard CMOS technology. *IEEE Photonics Technology Letters*, volume 15, numéro 7, p. 963–965.
 - [64] Niclass, C. L., Rochas, A., Besse, P. A. et Charbon, E. (2004). A CMOS single photon avalanche diode array for 3D imaging. Dans *2004 IEEE International Solid-State Circuits Conference (IEEE Cat. No.04CH37519)*. IEEE, p. 120–517 Vol.1.
 - [65] Niclass, C., Rochas, A., Besse, P. . et Charbon, E. (2004). Toward a 3-D camera based on single photon avalanche diodes. *IEEE Journal of Selected Topics in Quantum Electronics*, volume 10, numéro 4, p. 796–802.
 - [66] Zappa, F., Gulinatti, A., Maccagnani, P., Tisa, S. et Cova, S. (2005). SPADA : single-photon avalanche diode arrays. *IEEE Photonics Technology Letters*, volume 17, numéro 3, p. 657–659.
 - [67] Frach, T., Prescher, G., Degenhardt, C., de Gruyter, R., Schmitz, A. et Ballizany, R. (2009). The Digital Silicon Photomultiplier - Principle of Operation and Intrinsic Detector Performance. Dans *IEEE Nuclear Science Symposium Conference Record*. IEEE, p. 1959 – 1965.
 - [68] Degenhardt, C., Prescher, G., Frach, T., Thon, A., de Gruyter, R., Schmitz, A. et Ballizany, R. (2009). The digital Silicon Photomultiplier — A novel sensor for the detection of scintillation light. Dans *2009 IEEE Nuclear Science Symposium Conference Record (NSS/MIC)*. IEEE, p. 2383–2386.
 - [69] Degenhardt, C., Zwaans, B., Frach, T. et de Gruyter, R. (2010). Arrays of digital Silicon Photomultipliers — Intrinsic performance and application to scintillator readout. Dans *IEEE Nuclear Science Symposium Medical Imaging Conference*. IEEE, p. 1954–1956.
 - [70] Nöldgen, H., Chlubek, A., Degenhardt, C., Dorscheid, R., Erven, A., Haemisch, Y., Johkovets, L., Kemmerling, G., Meessen, L., Muelhens, O., Peters, C., Ramm, M., Streun, M., Wüstner, P., Zwaans, B., Jahnke, S. et van Waasen, S. (2013). Read-out electronics for digital silicon photomultiplier modules. Dans *2013 IEEE Nuclear*
-

- Science Symposium and Medical Imaging Conference (2013 NSS/MIC)*. IEEE, p. 1–4.
- [71] Lemaire, W. (2018). *Conception d'un circuit de lecture à étampes temporelles multiples pour un photodétecteur destiné à la tomographie d'émission par positrons*. Mémoire de maîtrise, Université de Sherbrooke, Sherbrooke, Québec, Canada, 94 p.
- [72] Tétrault, M.-A., Therrien, A. C., Étienne Desaulniers Lamy, Boisvert, A., Fontaine, R. et Pratte, J.-F. (2015). Dark Count Impact for First Photon Discriminators for SPAD Digital Arrays in PET. *IEEE Transactions on Nuclear Science*, volume 62, numéro 3, p. 719–726.
- [73] Gerber, M. et Kleiman, R. (2014). Afterpulse background suppression in time-correlated single photon counting lifetime experiments using optimized gate filter. Dans *2014 IEEE 40th Photovoltaic Specialist Conference (PVSC)*. IEEE, p. 1899–1902.
- [74] Humer, G., Peev, M., Schaeff, C., Ramelow, S., Stipčević, M. et Ursin, R. (2015). A simple and robust method for estimating afterpulsing in single photon detectors. *J. Lightwave Technol.*, volume 33, numéro 14, p. 3098–3107.
- [75] Niclass, C. et Soga, M. (2010). A miniature actively recharged single-photon detector free of afterpulsing effects with 6ns dead time in a 0.18 μ m CMOS technology. Dans *2010 International Electron Devices Meeting*. IEEE, p. 14.3.1–14.3.4.
- [76] Wayne, M. A., Restelli, A., Bienfang, J. C. et Kwiat, P. G. (2014). Afterpulse reduction through prompt quenching in silicon reach-through single-photon avalanche diodes. *Journal of Lightwave Technology*, volume 32, numéro 21, p. 4097–4103.
- [77] Bérubé, B., Rhéaume, V., Parent, S., Maurais, L., Therrien, A. C., Charette, P. G., Charlebois, S. A., Fontaine, R. et Pratte, J. (2015). Implementation Study of Single Photon Avalanche Diodes (SPAD) in 0.8 μ m HV CMOS Technology. *IEEE Transactions on Nuclear Science*, volume 62, numéro 3, p. 710–718.
- [78] Bronzi, D., Villa, F., Tisa, S., Tosi, A. et Zappa, F. (2016). SPAD Figures of Merit for Photon-Counting, Photon-Timing, and Imaging Applications : A Review. *IEEE Sensors Journal*, volume 16, numéro 1, p. 3–12.
- [79] Charbon, E., Bruschini, C. et Lee, M.-J. (2018). 3D-Stacked CMOS SPAD Image Sensors : Technology and Applications. Dans *2018 25th IEEE International Conference on Electronics, Circuits and Systems (ICECS)*. IEEE, p. 1–4.
- [80] Bruschini, C., Homulle, H., Antolovic, I. M., Burri, S. et Charbon, E. (2019). Single-photon avalanche diode imagers in biophotonics : review and outlook. *Light : Science & Applications*, volume 8, numéro 1, p. 1–28.
- [81] Charbon, E., Scandini, M., Pavia, J. M. et Wolf, M. (2014). A dual backside-illuminated 800-cell multi-channel digital SiPM with 100 TDCs in 130nm 3D IC
-

- technology. *2014 IEEE Nuclear Science Symposium and Medical Imaging Conference (NSS/MIC)*, p. 1–4.
- [82] Pavia, J. M., Scandini, M., Lindner, S., Wolf, M. et Charbon, E. (2015). A 1 x 400 Backside-Illuminated SPAD Sensor With 49.7 ps Resolution, 30 pJ/Sample TDCs Fabricated in 3D CMOS Technology for Near-Infrared Optical Tomography. *IEEE Journal of Solid-State Circuits*, volume 50, numéro 10, p. 2406–2418.
- [83] Abbas, T. A., Dutton, N. A. W., Almer, O., Pellegrini, S., Henrion, Y. et Henderson, R. K. (2016). Backside illuminated SPAD image sensor with 7.83 μm pitch in 3D-stacked CMOS technology. Dans *2016 IEEE International Electron Devices Meeting (IEDM)*. IEEE, p. 8.1.1–8.1.4.
- [84] Lindner, S., Pellegrini, S., Henrion, Y., Rae, B., Wolf, M. et Charbon, E. (2017). A High-PDE, Backside-Illuminated SPAD in 65/40-nm 3D IC CMOS Pixel With Cascoded Passive Quenching and Active Recharge. *IEEE Electron Device Letters*, volume 38, numéro 11, p. 1547–1550.
- [85] Lee, M. ., Ximenes, A. R., Padmanabhan, P., Wang, T. J., Huang, K. C., Yamashita, Y., Yaung, D. N. et Charbon, E. (2017). A back-illuminated 3D-stacked single-photon avalanche diode in 45nm CMOS technology. Dans *2017 IEEE International Electron Devices Meeting (IEDM)*. IEEE, p. 16.6.1–16.6.4.
- [86] Ximenes, A. R., Padmanabhan, P., Lee, M., Yamashita, Y., Yaung, D. N. et Charbon, E. (2018). A 256x256 45/65nm 3D-stacked SPAD-based direct TOF image sensor for LiDAR applications with optical polar modulation for up to 18.6dB interference suppression. Dans *2018 IEEE International Solid - State Circuits Conference - (ISSCC)*. IEEE, p. 96–98.
- [87] Lee, M., Ximenes, A. R., Padmanabhan, P., Wang, T., Huang, K., Yamashita, Y., Yaung, D. et Charbon, E. (2018). High-Performance Back-Illuminated Three-Dimensional Stacked Single-Photon Avalanche Diode Implemented in 45-nm CMOS Technology. *IEEE Journal of Selected Topics in Quantum Electronics*, volume 24, numéro 6, p. 1–9.
- [88] Aull, B. F., Loomis, A. H., Young, D. J., Heinrichs, R. M., Felton, B. J., Daniels, P. J. et Landers, D. J. (2002). Geiger-Mode Avalanche Photodiodes for Three-Dimensional Imaging. *Lincoln Laboratory Journal*, volume 13, numéro 2, p. 335–350.
- [89] Aull, B. F., Duerr, E. K., Frechette, J. P., McIntosh, K. A., Schuette, D. R. et Younger, R. D. (2018). Large-Format Geiger-Mode Avalanche Photodiode Arrays and Readout Circuits. *IEEE Journal of Selected Topics in Quantum Electronics*, volume 24, numéro 2, p. 1–10.
- [90] Barbarino, G., de Asmundis, R., Rosa, G. D., Mollo, C. M., Russo, S. et Vivolo, D. (2011). Silicon Photo Multipliers Detectors Operating in Geiger Regime : an Unlimited Device for Future Applications. Dans Park, J.-W., *Photodiodes*, chapitre 9. IntechOpen, Rijeka, p. 185–189.
-

- [91] Zabrodskii, V., Aruev, P., Belik, V., Ber, B., Filimomov, V., Kholupenko, E., Kirilenko, D., Krassilchtchikov, A., Nikolaev, A., Sherstnev, E. et Vasil'ev, A. (2015). SiPM prototype for direct VUV registration. *Nuclear Instruments and Methods in Physics Research Section A : Accelerators, Spectrometers, Detectors and Associated Equipment*, volume 787, p. 348 – 352.
 - [92] Tétrault, M.-A. (2017). *Conception et réalisation de l'électronique frontale numérique 3D pour une matrice de détecteurs monophotoniques destinée à la tomographie d'émission par positrons*. Thèse de doctorat, Université de Sherbrooke, Sherbrooke, Québec, Canada, 164 p.
 - [93] Roy, N., Nolet, F., Dubois, F., Mercier, M.-O., Fontaine, R. et Pratte, J.-F. (2017). Low Power and Small Area, 6.9 ps RMS Time-to-Digital Converter for 3D Digital SiPM. *IEEE Transactions on Radiation and Plasma Medical Sciences*, volume PP, p. 1–1.
 - [94] Kawamura, S. (2002). Technology trends and challenges for CMOS/system LSIs for the next 10-15 years. Dans *Proceedings of the IEEE 2002 Custom Integrated Circuits Conference (Cat. No.02CH37285)*. IEEE, p. 467–474.
 - [95] Ross, P. E. (2003). 5 Commandments [technology laws and rules of thumb]. *IEEE Spectrum*, volume 40, numéro 12, p. 30–35.
 - [96] T. Bohr, M. et A. Young, I. (2017). CMOS Scaling Trends and beyond. *IEEE Micro*, volume 37, p. 20–29.
 - [97] Nolet, F., Lemaire, W., Dubois, F., Roy, N., Carrier, S., Samson, A., St-Hilaire, G., Charlebois, S. A. et Pratte, J.-F. (2018). A 256 Pixelated Readout ASIC with in-Pixel TDC and Embedded Digital Signal Processing for SPAD Array. Dans *2018 IEEE Nuclear Science Symposium and Medical Imaging Conference (2018 NSS/MIC)*. IEEE, p. 1.
 - [98] Nolet, F., Lemaire, W., Dubois, F., Roy, N., Carrier, S., Samson, A., Charlebois, S. A., Fontaine, R. et Pratte, J.-F. (2020). A 256 Pixelated SPAD readout ASIC with in-Pixel TDC and embedded digital signal processing for uniformity and skew correction. *Nuclear Instruments and Methods in Physics Research Section A : Accelerators, Spectrometers, Detectors and Associated Equipment*, volume 949, p. 162891.
 - [99] Mandai, S., Jain, V. et Charbon, E. (2012). A fully-integrated $780 \times 800 \mu\text{m}^2$ multi-digital silicon photomultiplier with column-parallel time-to-digital converter. Dans *2012 Proceedings of the ESSCIRC (ESSCIRC)*. IEEE, p. 89–92.
 - [100] Mandai, S. et Charbon, E. (2013). Timing optimization of a H-tree based digital silicon photomultiplier. *Journal of Instrumentation*, volume 8, numéro 09, p. P09016–P09016.
 - [101] Dutton, N. (2015). Circuit for combining signals. US Patent 9007118, 14 avril 2015.
-

-
- [102] Nakase, Y., Suzuki, H., Makino, H., Shinohara, H. et Mashiko, K. (1995). A BiCMOS wired-OR logic. *IEEE Journal of Solid-State Circuits*, volume 30, numéro 6, p. 622–628.
- [103] Tabacchini, V., Westerwoudt, V., Borghi, G., Seifert, S. et Schaart, D. R. (2014). Probabilities of triggering and validation in a digital silicon photomultiplier. *Journal of Instrumentation*, volume 9, numéro 6, p. P06016–P06016.
- [104] Ramadass, U., Vijayan, V., Mohanapriya, M. et Paul, S. (2012). Area, Delay and Power Comparison of Adder Topologies. *International Journal of VLSI Design & Communication Systems*, volume 3, p. 153–168.
- [105] Dadda, L. et Piuri, V. (1996). Pipelined adders. *IEEE Transactions on Computers*, volume 45, numéro 3, p. 348–356.
- [106] Swartzlander, E. E. (1973). Parallel Counters. *IEEE Transactions on Computers*, volume C-22, numéro 11, p. 1021–1024.
- [107] Swartzlander, E. E. (2004). A review of large parallel counter designs. Dans *IEEE Computer Society Annual Symposium on VLSI*. IEEE, p. 89–98.
- [108] Lai, K., Chung, E., Lu, S.-L. et F. Quigley, S. (2014). Design of a Low Latency Asynchronous Adder Using Early Completion Detection. *Journal of Engineering Science and Technology*, volume 9, p. 755–767.
- [109] Parent, S., Côté, M., Vachon, F., Groulx, R., Martel, S., Dautet, H., Charlebois, S. A. et Pratte, J. (2018). Single Photon Avalanche Diodes and Vertical Integration Process for a 3D Digital SiPM using Industrial Semiconductor Technologies. Dans *2018 IEEE Nuclear Science Symposium and Medical Imaging Conference Proceedings (NSS/MIC)*. IEEE, p. 1–4.
- [110] Deschamps, J. (2020). *Étude et conception d’une circuit intégré dédié à la recherche et au développement de photodiodes avalanches monophotoniques*. Mémoire de maîtrise, Université de Sherbrooke, Sherbrooke, Québec, Canada, 142 p.
- [111] Park, I., Choi, Y., Ko, K., Shim, S., Jun, B., Moon, N., Kim, N. et Yoo, K. (2011). BCD (Bipolar-CMOS-DMOS) technology trends for power management IC. Dans *8th International Conference on Power Electronics - ECCE Asia*. IEEE, p. 318–325.
- [112] LaMeres, B. J. (2019). *Introduction to Logic Circuits & Logic Design with VHDL*, 2^e édition. Springer Publishing Company, Incorporated, 499 p.
- [113] Patanwala, S. M., Gyongy, I., Dutton, N. A. W., Rae, B. R. et Henderson, R. K. (2019). A Reconfigurable 40 nm CMOS SPAD Array for LiDAR Receiver Validation. Dans *International Image Sensor Workshop, IISW*. International Image Sensor Society, p. 1–4.
- [114] Churiwala, S. et Garg, S. (2011). *Principles of VLSI RTL Design - A Practical Guide*. Springer, New York, NY, USA, 182 p.
-

- [115] Ginosar, R. (2011). Metastability and Synchronizers : A Tutorial. *IEEE Design Test of Computers*, volume 28, numéro 5, p. 23–35.
- [116] The DEAP collaboration, Adhikari, P., Ajaj, R., Batygov, G. R. A. M., Beltran, B., Bina, C. E., Boulay, M. G., Broerman, B., Bueno, J. F., Butcher, A., Cai, B., Cárdenas-Montes, M., Caviuoti, S., Chen, Y., Cleveland, B. T., Corning, J. M., Dering, S. J. D. K., Doria, L., and M. Dunford, F. A. D., Erlandson, A., Fatemighomi, N., Fiorillo, G., Flower, A., Ford, R. J., Gagnon, R., Gallacher, D., Garcés, E. A., Abia, P. G., Garg, S., Giampa, P., Goeldi, D., Golovko, V. V., Gorel, P., Graham, K., Grant, D. R., Grobov, A., Hallin, A. L., Hamstra, M., Harvey, P. J., Hearn, C., Ilyasov, A., Joy, A., Jillings, C. J., Kamaev, O., Kaur, G., Kemp, A., Kochanek, I., Kuźniak, M., Langrock, S., Zia, F. L., Lehnert, B., Levashko, N., Li, X., Litvinov, O., Lock, J., Longo, G., Machulin, I., Majewski, P., McDonald, A. B., McElroy, T., McGinn, T., McLaughlin, J. B., Mehdiyev, R., Mielnichuk, C., Monroe, J., Nadeau, P., Nantais, C., Ng, C., Noble, A. J., Oliviero, G., Ouellet, C., Pal, S., Pasuthip, P., Peeters, S. J. M., Pesudo, V., Piro, M. C., Pollmann, T. R., Rand, E. T., Rethmeier, C., Retière, F., García, E. S., Sánchez-Pastor, T., Santorelli, R., Seeburn, N., Skensved, P., Smith, B., Smith, N. J. T., Sonley, T., Stainforth, R., Stone, C., Strickland, V., Sur, B., Vázquez-Jáuregui, E., Veloce, L., Viel, S., Walding, J., Waqar, M., Ward, M., Westerdale, S., Willis, J. et Zúñiga-Reyes, A. (2020). The liquid-argon scintillation pulse shape in DEAP-3600. Dans *physics.ins-det*. arXiv, p. 13.
- [117] AVNET (2020). *AES-ZU3EG-1-SOM-I-G - UltraZed-EG System-on-Module with Zynq UltraScale+ MPSoC Processor*. <https://www.avnet.com/shop/us/products/avnet-engineering-services/aes-zu3eg-1-som-i-g-3074457345635221576/> (page consultée le 12 juin 2020).
- [118] AVNET (2020). *AES-ZU-IOCC-G - UltraZed-EG IO Carrier Card*. <https://www.avnet.com/shop/us/products/avnet-engineering-services/aes-zu-iocc-g-3074457345635221598/> (page consultée le 17 mars 2020).
- [119] Swabian Instruments (2020). *Time Tagger Series*. <https://www.swabianinstruments.com/time-tagger/> (page consultée le 17 mars 2020).
- [120] Sun Electronic Systems, Inc. (2011). *TEMPERATURE CHAMBER - EC12 MODEL*. <http://www.sunelectronics.com/Temperature-Test-Chamber-EC12-Model.html> (page consultée le 17 mars 2020).
- [121] Bérubé, B.-L. (2014). *Conception de matrices de diodes avalanche à photon unique sur circuits intégrés CMOS 3D*. Thèse de doctorat, Université de Sherbrooke, Sherbrooke, Québec, Canada, 191 p.
- [122] Otte, A., Hose, J., Mirzoyan, R., Romaszkiwicz, A., Teshima, M. et Thea, A. (2006). A measurement of the photon detection efficiency of silicon photomultipliers. *Nuclear Instruments and Methods in Physics Research Section A : Accelerators, Spectrometers, Detectors and Associated Equipment*, volume 567, numéro 1, p. 360 – 363.
-

-
- [123] Otte, A. N., Garcia, D., Nguyen, T. et Purushotham, D. (2017). Characterization of three high efficiency and blue sensitive silicon photomultipliers. *Nuclear Instruments and Methods in Physics Research Section A : Accelerators, Spectrometers, Detectors and Associated Equipment*, volume 846, p. 106 – 125.
- [124] Horiba Scientific (2020). *LSH Illuminator - Compact Deuterium, Tungsten Halogen or Glow Bar Light Source*. https://www.horiba.com/en_en/products/detail/action/show/Product/lsh-illuminator-1946/ (page consultée le 15 juin 2020).
- [125] Horiba Scientific (2020). *Optical Spectroscopy - iHR320 Imaging Spectrometer*. <https://www.horiba.com/us/en/scientific/products/optical-spectroscopy/spectrometers-monochromators/ihr/ihr320-imaging-spectrometer-198/> (page consultée le 15 juin 2020).
- [126] Micro Photon Devices (2013). *PDM*. <http://www.micro-photon-devices.com/Products/Photon-Counters/PDM> (page consultée le 15 juin 2020).
- [127] Keysight Technologies (2020). *53200A Series - RF/Universal Frequency Counter/Timers*. <https://www.keysight.com/us/en/assets/7018-02642/data-sheets/5990-6283.pdf> (page consultée le 15 juin 2020).
- [128] Keysight Technologies (2020). *MSOX91304A Infiniium High-Performance Oscilloscope : 13GHz*. <https://www.keysight.com/en/pd-2180647-pn-MSOX91304A/infiniium-high-performance-oscilloscope-13ghz?cc=CA&lc=eng> (page consultée le 17 mars 2020).
- [129] Becker & Hickl (2019). *PHD-400*. <https://www.becker-hickl.com/products/phd-400/> (page consultée le 19 mars 2020).
- [130] Lumex (2008). *SML-LX15GC-RP-TR*. <https://www.lumex.com/spec/SML-LX15GC-RP-TR.pdf> (page consultée le 23 mars 2020).
- [131] Keithley, A Tektronix Company (2020). *6487 Picoammeter / Voltage Source*. <https://www.tek.com/datasheet/series-6400-picoammeters/model-6487-picoammeter-voltage-source> (page consultée le 18 juin 2020).
- [132] Rohde & Schwarz (2020). *RMS / Peak Voltmeter URE3*. https://scdn.rohde-schwarz.com/ur/pws/dl_downloads/dl_common_library/dl_brochures_and_datasheets/pdf_1/URE3_e.pdf (page consultée le 18 juin 2020).
- [133] Jenkins (2020). *Jenkins*. <https://jenkins.io/> (page consultée le 18 mars 2020).
-